

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-197853

(P2002-197853A)

(43) 公開日 平成14年7月12日 (2002.7.12)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テームコード (参考) |
|--------------------------------------|--------|---------------|-------------|
| G 1 1 C | 11/14 | G 1 1 C 11/14 | Z 5 F 0 8 3 |
| | 11/15 | | A |
| H 0 1 L | 27/105 | H 0 1 L 43/08 | Z |
| 43/08 | | | A |
| 審査請求 未請求 請求項の数18 O L (全 31 頁) 最終頁に続く | | | |

(21) 出願番号 特願2000-395723(P2000-395723)

(22) 出願日 平成12年12月26日 (2000.12.26)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 伊藤 洋

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝マイクロエレクトロニクスセン

ター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

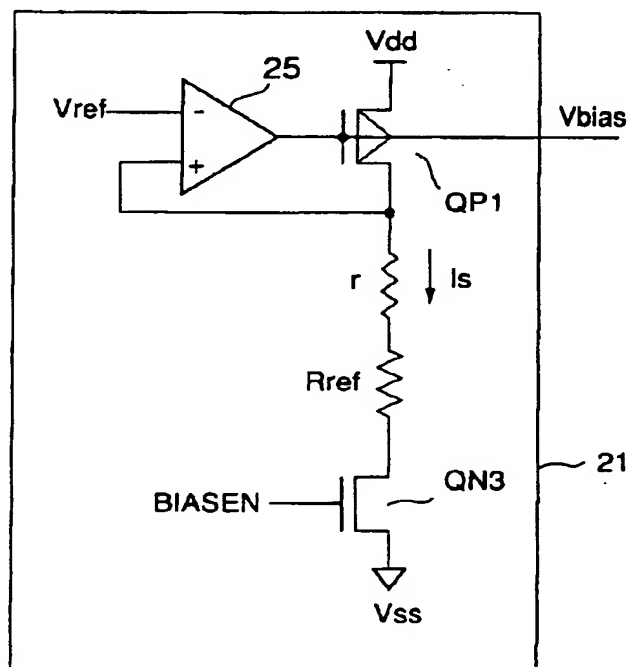
Fターム(参考) 5F083 FZ10 LA03 LA08 LA09

(54) 【発明の名称】 磁気ランダムアクセスメモリ

(57) 【要約】

【課題】 センス時のリファレンス電位を正確に生成する。

【解決手段】 バイアス電圧発生回路21は、メモリセルを模した磁気抵抗素子RrefとMOSトランジスタQN3からなる直列回路を有する。磁気抵抗素子RrefのMR比は、メモリセル内の磁気抵抗素子のMR比の半分に設定されている。調整用抵抗rは、ビット線の配線抵抗の半分の抵抗値を有する。降圧用MOSトランジスタQP1のゲートは、ビット線に対するセンス電流源としてのMOSトランジスタのゲートに接続され、両MOSトランジスタによりカレントミラー回路が構成されている。Vbiasが出力され、バイアス電圧発生回路21に定電流が流れると、ビット線にも、この定電流に等しいセンス電流が流れる。ビット線の電位は、メモリセル内の磁気抵抗素子の状態により変化する。



1

【特許請求の範囲】

【請求項 1】 絶縁層により分離された複数の磁性層から構成され、前記複数の磁性層の磁化の状態に応じた 2 つの抵抗値が得られる磁気抵抗素子を有するメモリセルと、前記メモリセルに接続されるビット線と、前記ビット線及び前記メモリセルにセンス電流を流すためのセンス電流源と、前記ビット線及び前記メモリセルに前記センス電流を流したときの前記ビット線の電位をリファレンス電位と比較して、前記メモリセルのデータを検出するセンスアンプと、前記リファレンス電位を生成するためのリファレンスセルを有するバイアス電圧発生回路とを具備し、前記リファレンスセルは、前記磁気抵抗素子が持つ前記 2 つの抵抗値の中間の抵抗値を有していることを特徴とする磁気ランダムアクセスメモリ。

【請求項 2】 絶縁層により分離された複数の磁性層から構成され、前記複数の磁性層の磁化の状態に応じた 2 つの抵抗値が得られる磁気抵抗素子を有するメモリセルと、前記メモリセルに接続されるビット線と、前記ビット線及び前記メモリセルにセンス電流を流すセンス電流源としての第 1 MOS トランジスタと、前記ビット線及び前記メモリセルに前記センス電流を流したときの前記ビット線の電位をリファレンス電位と比較して、前記メモリセルのデータを検出するセンスアンプと、前記リファレンス電位を生成するためのリファレンスセルを有するバイアス電圧発生回路とを具備し、前記バイアス電圧発生回路は、ゲートが前記第 1 MOS トランジスタのゲートに接続される第 2 MOS トランジスタと、前記第 2 MOS トランジスタに直列接続される前記リファレンスセルとから構成され、前記リファレンスセルは、前記磁気抵抗素子が持つ前記 2 つの抵抗値の中間の抵抗値を有していることを特徴とする磁気ランダムアクセスメモリ。

【請求項 3】 前記リファレンスセルは、前記メモリセル内の前記磁気抵抗素子と同じ構造を有する複数の磁気抵抗素子から構成されることを特徴とする請求項 1 又は 2 記載の磁気ランダムアクセスメモリ。

【請求項 4】 前記リファレンスセルは、磁化の状態が平行である並列接続された 2 つの磁気抵抗素子と磁化の状態が反平行である並列接続された 2 つの磁気抵抗素子とを、互いに直列接続した構造を有することを特徴とする請求項 1 又は 2 記載の磁気ランダムアクセスメモリ。

【請求項 5】 前記メモリセルは、前記磁気抵抗素子に流れる前記センス電流を遮断し得る第 1 スイッチ素子を有し、前記バイアス電圧発生回路は、前記リファレンスセルに流れる定電流を遮断し得る第 2 スイッチ素子を有し、前記第 1 及び第 2 スイッチ素子は、互いに同じ構造を有することを特徴とする請求項 1 又は 2 記載の磁気ランダムアクセスメモリ。

【請求項 6】 前記第 1 及び第 2 スイッチ素子は、ゲート電位によりスイッチング制御される MOS トランジス

2

タであることを特徴とする請求項 5 記載の磁気ランダムアクセスメモリ。

【請求項 7】 前記第 1 及び第 2 スイッチ素子は、カソード電位によりスイッチング制御されるダイオードであることを特徴とする請求項 5 記載の磁気ランダムアクセスメモリ。

【請求項 8】 前記定電流の電流値と前記センス電流の電流値は、互いに等しく、前記リファレンスセルの一端の電位が前記リファレンス電位に等しくなることを特徴とする請求項 5 記載の磁気ランダムアクセスメモリ。

【請求項 9】 前記リファレンスセルに調整用抵抗が直列接続され、前記調整用抵抗は、前記ビット線の抵抗値の半分の抵抗値を有し、前記調整用抵抗の一端又は前記リファレンスセルの一端の電位が前記リファレンス電位に等しくなることを特徴とする請求項 5 記載の磁気ランダムアクセスメモリ。

【請求項 10】 請求項 1 又は 2 記載の磁気ランダムアクセスメモリにおいて、さらに、リード時に、前記ビット線をプリチャージ電位に設定するプリチャージ回路を具備し、前記プリチャージ電位は、前記リファレンス電位に等しいことを特徴とする磁気ランダムアクセスメモリ。

【請求項 11】 絶縁層により分離された複数の磁性層から構成され、前記複数の磁性層の磁化の状態に応じた第 1 及び第 2 抵抗値が得られる磁気抵抗素子を有する複数のメモリセルを有する磁気ランダムアクセスメモリにおいて、

複数のビット線対と、前記複数のビット線対に対応して設けられる複数のセンスアンプと、前記複数のビット線対にセンス電流を流すためのセンス電流源と、前記複数のビット線対の一方側の複数のビット線に前記複数のメモリセルのデータを読み出す場合に、前記複数のビット線対の他方側の複数のビット線のうちの少なくとも 2 つのビット線を短絡するイコライズ回路と、前記少なくとも 2 つのビット線にそれぞれ接続されるダミーセルとを具備し、

前記ダミーセルは、前記複数のメモリセルの構造と同じ構造を有し、前記ダミーセルのうちの半分は、前記第 1 抵抗値を有する磁気抵抗素子を有し、前記ダミーセルのうちの残りの半分は、前記第 2 抵抗値を有する磁気抵抗素子を有し、

前記イコライズ回路は、前記複数のビット線対に前記センス電流を流したときの前記少なくとも 2 つのビット線の電位をイコライズしてリファレンス電位を生成し、前記複数のセンスアンプは、前記複数のビット線対の一方側の前記複数のビット線に読み出された前記複数のメモリセルのデータを前記リファレンス電位と比較して、前記複数のメモリセルのデータを検出することを特徴とする磁気ランダムアクセスメモリ。

【請求項 12】 請求項 11 記載の磁気ランダムアクセ

メモリにおいて、さらに、前記複数のビット線対に接続される分離回路を具備し、前記分離回路は、前記少なくとも2つのビット線の電位をイコライズする際に、前記複数のセンスアンプ及び前記イコライズ回路を前記複数のビット線対から切り離すことを特徴とする磁気ランダムアクセスメモリ。

【請求項13】 前記メモリセルは、前記磁気抵抗素子に流れる前記センス電流を遮断し得る第1スイッチ素子を有し、前記バイアス電圧発生回路は、前記リファレンスセルに流れる定電流を遮断し得る第2スイッチ素子を有し、前記第1及び第2スイッチ素子は、互いに同じ構造を有することを特徴とする請求項1記載の磁気ランダムアクセスメモリ。

【請求項14】 前記第1及び第2スイッチ素子は、ゲート電位によりスイッチング制御されるMOSトランジスタであることを特徴とする請求項13記載の磁気ランダムアクセスメモリ。

【請求項15】 前記第1及び第2スイッチ素子は、カソード電位によりスイッチング制御されるダイオードであることを特徴とする請求項13記載の磁気ランダムアクセスメモリ。

【請求項16】 請求項11記載の磁気ランダムアクセスメモリにおいて、さらに、リード時に、前記複数のビット線対をプリチャージ電位に設定するプリチャージ回路を具備することを特徴とする磁気ランダムアクセスメモリ。

【請求項17】 前記プリチャージ電位は、前記リファレンス電位に等しいことを特徴とする請求項16記載の磁気ランダムアクセスメモリ。

【請求項18】 前記少なくとも2つのビット線は、隣り合う2つのビット線対の他方側の2つのビット線であることを特徴とする請求項11記載の磁気ランダムアクセスメモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、磁気ランダムアクセスメモリ（Magnetic RAM）に関し、特に、メモリセルの情報を増幅するセンスアンプに関する。

【0002】

【従来の技術】近年、強磁性トンネル接合（Magnetic Tunnel Junction：MTJ）が室温で大きな磁気抵抗比（MR比）を持ち得ることが報告され、トンネル磁気抵抗（Tunneling Magneto-Resistive：TMR）効果のMRAMへの応用が研究されている。

【0003】TMR効果をMRAMに応用する以前においても、巨大磁気抵抗（Giant Magneto-Resistance：GMR）効果を応用したMRAMが知られていたが、GMR効果を応用したMRAMは、そのMR比が数%から1.0%と小さく、また、低抵抗の金属薄膜に電流が流れ、信号量が数mVと極めて小さくなるという問題を有して

いる。

【0004】また、GMR効果を応用したMRAMでは、信号量が極めて小さいため、誤ったデータを読み出さないように、磁気抵抗素子（メモリセル）間の特性のばらつきを相殺するための手段が必要となる。例えば、従来では、同一のメモリセルに対して2回のデータ読み出し動作を行い、磁気抵抗素子間の特性のばらつきを相殺している。このため、GMR効果を応用したMRAMでは、読み出し動作の高速化が困難であった。

【0005】また、磁気抵抗素子とMOSトランジスタを組み合わせる1つのメモリセルを構成する場合、MOSトランジスタのオン抵抗を十分に小さくしないと、MOSトランジスタの特性のばらつきによってデータを正確に読み出せなくなる。

【0006】そこで、MOSトランジスタのオン抵抗をGMR素子のそれと同等程度に小さくする必要があるが、そのためには、MOSトランジスタのサイズをかなり大きくしなければならない。つまり、読み出し動作を正確に行うために、トランスファゲートとしてのMOSトランジスタのサイズを大きくしなければならず、メモリセルが大きくなり、メモリ容量の大容量化が困難であった。

【0007】このように、GMR効果を応用したMRAMは、読み出し動作の高速化、メモリ容量の大容量化に関して大きな問題があるため、現在では、優れた放射線耐性を有するというMRAMの特徴を生かし、宇宙、原子炉などの特殊な環境下でのみ使用されているに過ぎず、一般には、あまり普及していない。

【0008】TMR効果を利用したMRAMに話を戻す。TMR素子の基本構造は、絶縁層を2つの強磁性層で挟み込んだMTJ構造である。TMR素子の抵抗は、この2つの強磁性層の磁化の方向が平行（向きが同じ）か又は反平行（向きが逆）かによって変化する。これは、トンネル確率のスピン依存性に起因しているものと考えられている。

【0009】このようなTMR素子の性質を利用し、TMR効果を利用したMRAMでは、2つの強磁性層の磁化の方向（平行、反平行）によりデータを記憶する。また、データの読み出しは、2つの強磁性層の磁化の方向に依存するTMR素子の抵抗の変化を利用して行う。

【0010】TMR効果を利用したMRAMのMR比は、数十%にも達し、また、そのTMR素子の抵抗も、2つの磁性層に挟まれた絶縁層（トンネル絶縁膜）の厚さを変化させることにより、広範囲に設定できる。また、TMR効果を利用したMRAMでは、読み出し時の信号量がDRAMにおける信号量と同程度又はそれ以上になる可能性がある。

【0011】TMR効果を利用したMRAMでは、書き込みは、互いに直交する2つの配線（ライトワード線及びビット線）に流れる電流により発生する磁場を用い、

10

20

30

40

50

5

TMR素子の磁化の方向を変える（平行又は反平行にする）ことにより行う。

【0012】具体的には、2つの強磁性層の厚さを異ならしめ、両磁性層に保磁力の差を設ければ、厚さの薄い磁性層（保磁力の弱い磁性層）の磁化のみを自由に反転し、2つの強磁性層の磁化の相対的な方向を、平行又は反平行にすることができる。また、2つの強磁性層のうちの1つに反磁性層を付加し、交換結合により反磁性層が付加された磁性層の磁化の向きを固定すれば、反磁性層が付加されていない磁性層の磁化のみを自由に反転し、2つの強磁性層の磁化の相対的な方向を、平行又は反平行にすることができる。

【0013】ところで、磁性層は、磁性層の磁化方向に対して反対方向の磁場を印加して磁性層の磁化を反転させようとする場合、予め、磁化に直交する方向に磁場を印加しておく、と、磁性層の磁化の反転に必要な磁場（反転磁場）の大きさを小さくできる、という性質を有している。

【0014】従って、互いに直交する2本の配線を使い、互いに直交する2方向の磁場を印加することにより、その配線の交点にあるメモリセルの磁化だけを選択的に反転させることができる。

【0015】TMR素子を用いたメモリセルの構成としては、幾つかの候補が考えられている。例えば、図22に示すような、TMR素子とMOSトランジスタを組み合わせたメモリセルや、図23に示すような、TMR素子とダイオードを組み合わせたメモリセルが有力視されている。なお、図22及び図23では、TMR素子を抵抗素子として表している。

【0016】TMR素子（メモリセル）に記憶されたデータを読み出すには、TMR素子に電流を流したり、又は、電圧を加えたりして、データ（TMR素子の磁化の方向）を、電流又は電圧に変換する必要がある。

【0017】例えば、TMR素子（メモリセル）に、センス電流としての定電流を流した場合、そのTMR素子に接続されるビット線の電位は、TMR素子に記憶されているデータ（磁化の方向）によって異なる。即ち、TMR素子の抵抗は、磁化の方向が平行のときよりも反平行のときの方が大きくなる。つまり、ビット線の電位は、磁化の方向が平行のときよりも反平行のときの方が高くなる。

【0018】

【発明が解決しようとする課題】以下では、電圧センスによる読み出しを念頭に説明すると共に、TMR素子が高抵抗状態のときを、メモリセルに“1”が記憶されている状態とし、TMR素子が低抵抗状態のときを、メモリセルに“0”が記憶されている状態と仮定して説明する。

【0019】データ読み出しに際しては、メモリセルに記憶されたデータに応じてビット線の電位を変化させ、

6

かつ、この電位変化を増幅する必要がある。ビット線の電位変化を検出するためには、例えば、2本のビット線を用意し、一方のビット線にメモリセルのデータを読み出し、他方のビット線にメモリセルのデータと反対のデータを読み出せばよい。

【0020】この場合、1ビットデータを記憶するために、そのデータを記憶するメモリセルとそのデータの値と反対の値を持つデータを記憶するメモリセルの合計、2個のメモリセルが必要となる。また、2個のメモリセルに相補データを記憶することとなるため、読み出し信号は、差動センス方式により自動的に検出することができ、信号量についても、1つのメモリセルのみにデータを記憶する場合に比べて2倍になる。

【0021】また、相補データを記憶する2個のメモリセルを近接して配置すれば、メモリセル（TMR素子）間の特性のばらつきも大きな問題とはならない。このため、このような1ビットデータを相補データとして2個のメモリセルに記憶させる方式は、現在のMRAMの開発において多く採用されている。

【0022】しかし、2個のメモリセルを用いて1ビットデータを記憶する方式では、1個のメモリセルを用いて1ビットデータを記憶する方式に比べて、当然に、1ビット当たりのメモリセル面積は、2倍となる。つまり、2個のメモリセルを用いて1ビットデータを記憶する方式は、メモリ容量の大容量化には向いていない。

【0023】従って、製品化に際しては、磁性層の材料開発を進め、信号量の増大を実現した上で、1つの磁気抵抗素子と1つのスイッチ素子からなる1つのメモリセルにより1ビットデータを記憶するような仕様にした

い、という強い要求がある。

【0024】1つの磁気抵抗素子と1つのスイッチ素子からなる1つのメモリセルを用いて1ビットデータを記憶し、かつ、この1つのメモリセルから正確にデータを読み出すためには、そのための特別な読み出し回路が必要となるが、現在のところ、このような読み出し回路については、DRAMのように、十分に、検討、洗練され、かつ、収束されるに至っていない、というのが現状である。

【0025】特に、MRAMの場合、DRAMのように、センス時のリファレンス電位を自動的に作ることができない、という問題を有している。

【0026】リファレンス電位を作るための最も単純な手法としては、固定電位をリファレンス電位として用いるという手法があるが、この場合、センスを開始するタイミングによって、読み出し電位（“0”又は“1”）とリファレンス電位との電位差にばらつきが生じる。その結果、広い動作条件の中で、正しくデータをセンスすることができなくなる、という問題が生じる。

【0027】本発明は、上述の問題を解決するためになされたもので、その目的は、1つの磁気抵抗素子と1つ

7

のスイッチ素子からなる1つのメモリセルにより1ビットデータを記憶するMRAMにおいて、適切なリファレンス電位を生成し、かつ、このリファレンス電位を用いてセンス動作を行うことにある。

【0028】

【課題を解決するための手段】(1) 本発明の磁気ランダムアクセスメモリは、絶縁層により分離された複数の磁性層から構成され、前記複数の磁性層の磁化の状態に応じた2つの抵抗値が得られる磁気抵抗素子を有するメモリセルと、前記メモリセルに接続されるビット線と、前記ビット線及び前記メモリセルにセンス電流を流すためのセンス電流源と、前記ビット線及び前記メモリセルに前記センス電流を流したときの前記ビット線の電位をリファレンス電位と比較して、前記メモリセルのデータを検出するセンスアンプと、前記リファレンス電位を生成するためのリファレンスセルを有するバイアス電圧発生回路とを備え、前記リファレンスセルは、前記磁気抵抗素子が持つ前記2つの抵抗値の中間の抵抗値を有している。

【0029】本発明の磁気ランダムアクセスメモリは、絶縁層により分離された複数の磁性層から構成され、前記複数の磁性層の磁化の状態に応じた2つの抵抗値が得られる磁気抵抗素子を有するメモリセルと、前記メモリセルに接続されるビット線と、前記ビット線及び前記メモリセルにセンス電流を流すセンス電流源としての第1 MOSトランジスタと、前記ビット線及び前記メモリセルに前記センス電流を流したときの前記ビット線の電位をリファレンス電位と比較して、前記メモリセルのデータを検出するセンスアンプと、前記リファレンス電位を生成するためのリファレンスセルを有するバイアス電圧発生回路とを備える。

【0030】前記バイアス電圧発生回路は、ゲートが前記第1 MOSトランジスタのゲートに接続される第2 MOSトランジスタと、前記第2 MOSトランジスタに直列接続される前記リファレンスセルとから構成され、前記リファレンスセルは、前記磁気抵抗素子が持つ前記2つの抵抗値の中間の抵抗値を有している。

【0031】前記リファレンスセルは、前記メモリセル内の前記磁気抵抗素子と同じ構造を有する複数の磁気抵抗素子から構成される。

【0032】前記リファレンスセルは、磁化の状態が平行である並列接続された2つの磁気抵抗素子と磁化の状態が反平行である並列接続された2つの磁気抵抗素子とを、互いに直列接続した構造を有する。

【0033】前記メモリセルは、前記磁気抵抗素子に流れる前記センス電流を遮断し得る第1スイッチ素子を有し、前記バイアス電圧発生回路は、前記リファレンスセルに流れる定電流を遮断し得る第2スイッチ素子を有し、前記第1及び第2スイッチ素子は、互いに同じ構造を有する。

8

【0034】前記第1及び第2スイッチ素子は、ゲート電位によりスイッチング制御されるMOSトランジスタである。

【0035】前記第1及び第2スイッチ素子は、カソード電位によりスイッチング制御されるダイオードである。

【0036】前記定電流の電流値と前記センス電流の電流値は、互いに等しく、前記リファレンスセルの一端の電位が前記リファレンス電位に等しくなる。

【0037】前記リファレンスセルに調整用抵抗が直列接続され、前記調整用抵抗は、前記ビット線の抵抗値の半分の抵抗値を有し、前記調整用抵抗の一端又は前記リファレンスセルの一端の電位が前記リファレンス電位に等しくなる。

【0038】本発明の磁気ランダムアクセスメモリは、さらに、リード時に、前記ビット線をプリチャージ電位に設定するプリチャージ回路を備え、前記プリチャージ電位は、前記リファレンス電位に等しい。

【0039】(2) 本発明の磁気ランダムアクセスメモリは、絶縁層により分離された複数の磁性層から構成され、前記複数の磁性層の磁化の状態に応じた第1及び第2抵抗値が得られる磁気抵抗素子を有する複数のメモリセルを有し、複数のビット線対と、前記複数のビット線対に対応して設けられる複数のセンスアンプと、前記複数のビット線対にセンス電流を流すためのセンス電流源と、前記複数のビット線対の一方側の複数のビット線に前記複数のメモリセルのデータを読み出す場合に、前記複数のビット線対の他方側の複数のビット線のうちの少なくとも2つのビット線を短絡するイコライズ回路と、前記少なくとも2つのビット線にそれぞれ接続されるダミーセルとを備える。

【0040】前記ダミーセルは、前記複数のメモリセルの構造と同じ構造を有し、前記ダミーセルのうちの半分は、前記第1抵抗値を有する磁気抵抗素子を有し、前記ダミーセルのうちの残りの半分は、前記第2抵抗値を有する磁気抵抗素子を有する。

【0041】前記イコライズ回路は、前記複数のビット線対に前記センス電流を流したときの前記少なくとも2つのビット線の電位をイコライズしてリファレンス電位を生成し、前記複数のセンスアンプは、前記複数のビット線対の一方側の前記複数のビット線に読み出された前記複数のメモリセルのデータを前記リファレンス電位と比較して、前記複数のメモリセルのデータを検出する。

【0042】本発明の磁気ランダムアクセスメモリは、さらに、前記複数のビット線対に接続される分離回路を備え、前記分離回路は、前記少なくとも2つのビット線の電位をイコライズする際に、前記複数のセンスアンプ及び前記イコライズ回路を前記複数のビット線対から切り離す。

【0043】前記メモリセルは、前記磁気抵抗素子に流

れる前記センス電流を遮断し得る第1スイッチ素子を有し、前記バイアス電圧発生回路は、前記リファレンスセルに流れる定電流を遮断し得る第2スイッチ素子を有し、前記第1及び第2スイッチ素子は、互いに同じ構造を有する。

【0044】前記第1及び第2スイッチ素子は、ゲート電位によりスイッチング制御されるMOSトランジスタである。

【0045】前記第1及び第2スイッチ素子は、カソード電位によりスイッチング制御されるダイオードである。

【0046】本発明の磁気ランダムアクセスメモリは、さらに、リード時に、前記複数のビット線対をプリチャージ電位に設定するプリチャージ回路を備える。

【0047】前記プリチャージ電位は、前記リファレンス電位に等しい。

【0048】前記少なくとも2つのビット線は、隣り合う2つのビット線対の他方側の2つのビット線である。

【0049】

【発明の実施の形態】以下、図面を参照しながら、本発明の磁気ランダムアクセスメモリについて詳細に説明する。

【0050】(1) 第1発明

本発明の磁気ランダムアクセスメモリは、複数の磁気抵抗素子を用いて、メモリセルのMR比の半分のMR比を持つリファレンスセルを作成するものである。即ち、リファレンスセルに定電流を流したときに、このリファレンスセルにより生成される電位が所定の定電位となるようにする。

【0051】そして、プリチャージ時に、このリファレンスセルにより生成される定電位と同じ電位をプリチャージ電位としてビット線に与える。また、センス時には、リファレンスセルに定電流を流すと共に、カレントミラー回路を用いて、ビット線（メモリセル）にも定電流を流す。

【0052】この時、例えば、メモリセルに記憶されるデータが“0”であるとする、ビット線の電位は、プリチャージ電位から低下する。一方、メモリセルに記憶されるデータが“1”であるとする、ビット線の電位は、プリチャージ電位から上昇する。また、このビット線の電位変化を、センスアンプによりセンスする。

【0053】このように、本発明の磁気ランダムアクセスメモリでは、DRAMと同様の動作により、リード動作を行うことができるものである。

【0054】以下、本発明の磁気ランダムアクセスメモリの実施の形態について説明する。

【0055】〔第1実施の形態〕図1は、本発明の第1実施の形態に関わる磁気ランダムアクセスメモリの主要部を示している。

【0056】メモリセルMCは、1つの磁気抵抗素子1

1と1つのMOSトランジスタ12とから構成される。ライトワード線WWL1, WWL2, ...及びリードワード線RWL1, RWL2, ...は、ロウ方向に延び、ビット線BL1, bBL1, BL2, bBL2, ...は、カラム方向に延びている。

【0057】ライトワード線WWL1, WWL2, ...は、メモリセルアレイ上においては接続点を持たず、磁気抵抗素子11の近傍を通るように配置される。即ち、ライト時に、ライトワード線WWL1, WWL2, ...及びビット線BL1, bBL1, BL2, bBL2, ...に流れる電流により作られる磁場を用いて、磁気抵抗素子11の磁化の方向（平行、反平行）を変える。

【0058】リードワード線RWL1, RWL2, ...は、メモリセルMCを構成するMOSトランジスタ12のゲートに接続される。リード時には、選択されたメモリセルMCのMOSトランジスタ12をオン状態にし、選択されたメモリセルMCの磁気抵抗素子11に定電流を流して、磁気抵抗素子11の状態に応じてビット線BL1, bBL1, BL2, bBL2, ...の電位を変化させる。

【0059】センスアンプ(S/A)24は、1組のビット線対BLi, bBLi (i=1, 2, ...)に対して1つだけ設けられる。

【0060】本実施の形態では、センスアンプ24は、メモリセルMCに定電流Isを流し、ビット線対BLi, bBLiに生じる電位差を検出する差動センス方式を前提としている。また、メモリセルアレイは、フォールドビット線(Folded Bit Line)方式を採用している。

【0061】但し、図1のメモリセルアレイ構成は、一例であり、本発明は、これ以外のメモリセルアレイ構成を有する磁気ランダムアクセスメモリにも適用できることは言うまでもない。

【0062】センスアンプ24は、選択されたメモリセルMCが接続されるビット線対BLi, bBLiの一方の電位と、ビット線対BLi, bBLiの他方の電位（リファレンス電位Vref）とを比較し、差動増幅する。

【0063】ここで、リファレンス電位Vrefは、“0”-リードと“1”-リードとの間でセンスマージンを均等化するため、“0”-リード時におけるビット線の電位V0と“1”-リード時におけるビット線の電位V1とのちょうど中間値(V0+V1)/2に設定することが望ましい。

【0064】メモリセルMCの磁気抵抗素子11がTMR素子の場合、磁性層の磁化の状態が反平行のときのTMR素子の抵抗をRa、磁性層の磁化の状態が平行のときのTMR素子の抵抗をRpとすると、その磁気抵抗変化率MRは、

10

20

30

40

50

11

$$MR = (R_a - R_p) / R_p$$

で定義される。

【0065】上記(1)式を変形し、かつ、 $R_p = R$ と*

$$R_a = R(1 + MR)$$

を得ることができる。

【0066】ここで、MR比がメモリセルの半分であるリファレンスセルを作ることができれば、センス電流 I_s をリファレンスセルに流すことにより、リファレンス電位 $V_{ref} = (V_0 + V_1) / 2$ を得ることができる。

【0067】リファレンスセルの構成例について、図2を参照しつつ説明する。なお、図2では、各磁気抵抗素子の磁化の状態を一目で直ちに分かるようにするため、各磁性層の磁化の向きを矢印で示している。

【0068】リファレンスセルは、4つのTMR素子から構成される。各TMR素子は、メモリセルMCを構成するTMR素子と同じ構造を有している。

【0069】磁化の方向が平行(向きが同じ)である2つのTMR素子("0"-状態)を互いに並列接続し、かつ、磁化の方向が反平行(向きが逆)である2つのTMR素子("1"-状態)を互いに並列接続する。また、"0"-状態の2つのTMR素子と"1"-状態の2つのTMR素子を直列接続する。これにより、リファレンスセルの抵抗値は、 $R(1 + MR/2)$ となる。

【0070】本実施の形態においては、センス電流 I_s をリファレンスセルに流したとき、リファレンスセルにより生成される電位が V_{ref} になるように設定される。この電位 V_{ref} は、TMR素子の耐圧、磁気抵抗変化率MRのバイアス依存性、MOSトランジスタの抵抗などを考慮して、信頼性の許す範囲内で、最大の信号が出力されるように決められる。

【0071】リード時には、リードワード線イネーブル信号RWLENが"H"レベルとなる。この時、NチャネルMOSトランジスタQN4がオン状態となり、NチャネルMOSトランジスタQN5がオフ状態となる。

【0072】また、例えば、ロウアドレス信号の最下位ビットとしてのRA0が"H"レベル、bRA0が"L"レベルとなると、バイアス電圧発生回路21の出力信号Vbiasは、PチャネルMOSトランジスタbQP2のゲートに伝達される。

【0073】従って、この場合には、ビット線bBL1, bBL2, ...にセンス電流 I_s が流れ、ビット線bBL1, bBL2, ...の電位は、選択されたメモリセルMCのデータに応じて変化する。また、ビット線BL1, BL2, ...は、プリチャージ電位 V_{ref} を維持する。

【0074】また、例えば、ロウアドレス信号の最下位ビットとしてのRA0が"L"レベル、bRA0が"H"レベルとなると、バイアス電圧発生回路21の出力信号Vbiasは、PチャネルMOSトランジスタQ

12

$$\dots (1)$$

*すると、

$$\dots (2)$$

P2のゲートに伝達される。

【0075】従って、この場合には、ビット線BL1, BL2, ...にセンス電流 I_s が流れ、ビット線BL1, BL2, ...の電位は、選択されたメモリセルMCのデータに応じて変化する。また、ビット線bBL1, bBL2, ...は、プリチャージ電位 V_{ref} を維持する。

【0076】図3は、図2のリファレンスセルを用いたバイアス電圧発生回路の一例を示している。

【0077】 V_{ref} は、図2に示すように、4つの磁気抵抗素子から構成され、抵抗変化率が $MR/2$ となるように設定される。また、ゲートに差動アンプ25の出力信号Vbiasが入力されるPチャネルMOSトランジスタQP1のサイズは、センス電流源22のPチャネルMOSトランジスタQP2, bQP2及びメモリセルMCのNチャネルMOSトランジスタ12のサイズと実質的に同じに設定される。

【0078】なお、バイアス電圧発生回路内のPチャネルMOSトランジスタQP1とセンス電流源22のPチャネルMOSトランジスタQP2, bQP2は、カレントミラー回路を構成している。

【0079】ところで、リード時、 V_{ref} にセンス電流 I_s が流れると共に、ビット線対BLi, bBLi ($i = 1, 2, \dots$)のいずれか一方にもセンス電流 I_s が流れる。この時、ビット線BLi, bBLiには、配線抵抗が存在するため、この配線抵抗による電位降下により、センスアンプノードN1, bN1, N2, bN2, ...の電位差は、選択されたメモリセルMCの位置によって異なるものとなる。

【0080】例えば、センスアンプ(S/A)24に最も近いメモリセルMCがアクセスされたときには、ビット線BLi, bBLiの配線抵抗の影響は、最も小さくなるが、センスアンプ(S/A)24に最も遠いメモリセルMCがアクセスされたときには、ビット線BLi, bBLiの配線抵抗の影響は、最も大きくなる。

【0081】このような選択されるメモリセルの位置、即ち、ビット線BLi, bBLiの配線抵抗によるセンスアンプノードN1, bN1, N2, bN2, ...の電位差の変化は、メモリセルMCのデータをセンスする際のノイズとなる。

【0082】このようなセンス時のノイズを低減するために、本発明では、図3に示すように、PチャネルMOSトランジスタQP1と磁気抵抗素子 R_{ref} の間に、ビット線BLi, bBLiの配線抵抗の半分の抵抗値を有する調整用抵抗rを接続している。この調整用抵抗rを作る一番簡単な方法は、ビット線BLi, bBLiと

13

同じ配線層で、同じ断面積、半分の長さを有する配線を形成するというものである。

【0083】なお、ロウアクセスがないとき、即ち、リードワード線RWL1, RWL2, …が選択されていないときに、バイアス電流発生回路に電流を流すことは、無駄な電流を消費することになり、低消費電流化に不都合である。

【0084】そこで、ロウアクセスが行われている期間だけ、バイアスイネーブル信号BIASENを“H”レベル（例えば、選択されたリードワード線に与える電位と同じ電位）に設定し、それ以外の期間においては、バイアスイネーブル信号BIASENは、“L”レベル（例えば、接地電位）に設定する。

【0085】これにより、NチャネルMOSトランジスタQN3は、ロウアクセスが行われている期間だけ、オン状態となるため、バイアス発生回路における無駄な電流の垂れ流しを防止でき、低消費電流化に貢献することができる。

【0086】図4は、図1のセンスアンプの一例を示している。

【0087】本例のセンスアンプ24は、DRAMによく用いられているセンスアンプと同様に、予め制御信号SAP, SANをVdd/2にプリチャージしておき、この後、制御信号SAPをVdd（内部電源電位）、制御信号SANをVss（接地電位）に設定することにより活性化される。

【0088】センスアンプ24は、ビット線対BLi, bBLiの間の電位差をセンスし、かつ、増幅する。即ち、選択されたメモリセルMCのデータは、センスアンプ24によりセンスされた後、データ線対（DQ線対）DQ, bDQに転送される。

【0089】なお、カラムの選択、即ち、センスアンプ24とデータ線対DQ, bDQの電氣的接続は、カラム選択信号CSLによりカラム選択スイッチ28のオン/オフを制御することにより行われる。

【0090】次に、上述した図1乃至図4の磁気ランダムアクセスメモリに関し、図5の波形図を参照しつつ、リード時のセンス動作について説明する。

【0091】なお、以下の説明では、簡単のため、リードワード線RWL1が選択され、メモリセルMCのデータがビット線BL1に読み出される場合を考える。

【0092】まず、センス動作開始前にビット線対BLi, bBLiに対するプリチャージ動作が実行される。プリチャージ動作時、プリチャージ信号PCは、“L”レベル（例えば、接地電位）に設定されるため、全てのビット線対BLi, bBLiは、Vrefにプリチャージされる。

【0093】この後、プリチャージ信号PCが“H”レベル（例えば、内部電源電位）に設定されると、ビット線対BLi, bBLiのプリチャージが解除される。

14

【0094】そして、リードワード線イネーブル信号RWLENが“H”レベルになると、リードワード線ドライバによりリードワード線RWL1が“H”レベルに設定される。これと同時に、図1のNチャネルMOSトランジスタQN4がオン状態となるため、バイアス電圧発生回路21から出力されるバイアス電位Vbiasは、PチャネルMOSトランジスタQP2又はPチャネルMOSトランジスタbQP2に伝達される。

【0095】即ち、ロウアドレス信号の最下位ビットRA0とその相補信号bRA0により選択されるメモリセルMCが接続されるビット線BL1, BL2, …にセンス電流Isが流れる。

【0096】具体的には、ロウアドレス信号の最下位ビットRA0が“0（＝L）”であるとき、例えば、リードワード線RWL1が“H”レベルとなり、かつ、PチャネルMOSトランジスタQP2がオン状態となるため、カレントミラーによりビット線BL1, BL2, …にセンス電流Isが流れる。

【0097】なお、ロウアドレス信号の最下位ビットRA0が“1（＝H）”であるときには、例えば、リードワード線RWL2が“H”レベルとなり、かつ、PチャネルMOSトランジスタbQP2がオン状態となるため、カレントミラーによりビット線bBL1, bBL2, …にセンス電流Isが流れる。

【0098】その結果、選択されたメモリセルMCに記憶されているデータが“0”のときには、ビット線BL1の電位は、プリチャージ電位Vrefから低下し、選択されたメモリセルMCに記憶されているデータが“1”のときには、ビット線BL1の電位は、プリチャージ電位Vrefから上昇する。

【0099】一方、ロウアドレス信号の最下位ビットRA0が“0（＝L）”であるため、PチャネルMOSトランジスタbQP2は、オフ状態であり、ビット線bBL1, bBL2, …にセンス電流Isが流れることはない。従って、選択されたメモリセルが接続されていないビット線bBL1, bBL2, …は、フローティング状態で、かつ、プリチャージ電位Vrefを維持している。

【0100】この後、センスアンプ24を活性化し、ビット線対BL1, bBL1の間の電位差をセンスする。

【0101】ここで、センス時、ビット線BL1の電位が上昇する場合又は低下する場合のいずれにおいても、ビット線BL1の電位の時間的変化は、同じとなる。従って、センスアンプ24を動作させるタイミングにより、“0”ーリードと“1”ーリードとの間で、ビット線対BL1, bBL1に生じる電位差が互いに異なることはない。

【0102】本例では、ビット線対BL1, bBL1の電位は、センスアンプ24内のNチャネルMOSトランジスタQN6, QN7のゲートに入力される。つまり、

50

15

ビット線対BL1, bBL1の間の電位差は、センスアンプ24内のNチャネルMOSトランジスタQN6, QN7の電流駆動能力の差として表れる。

【0103】従って、センスアンプ活性化信号SAPをVdd/2からVddに設定し、また、センスアンプ活性化信号SANをVdd/2からVssに設定することにより、センスアンプ24は、活性化され、メモリセルMCのデータがセンスアンプ24にラッチされる。

【0104】具体的には、“0”-リードの場合には、センスアンプ24の出力ノードSA1がVss(=gnd)となり、センスアンプ24の出力ノードbSA1がVddとなる。また、“1”-リードの場合には、センスアンプ24の出力ノードSA1がVddとなり、センスアンプ24の出力ノードbSA1がVssとなる。

【0105】この後、カラム選択信号CSLを“H”レベルに設定し、センスアンプ24にラッチされたデータをデータ線対(DQ線対)DQ, bDQを経由して、出力回路に転送する。

【0106】上述のセンス動作においては、DRAMで行われるようリストア動作は、行われない。その理由は、磁気ランダムアクセスメモリ(MRAM)は、非破壊読み出しによりデータを読み出すことができるため、データを再びメモリセルに書き込む必要がないためである。従って、データリストアのために、ビット線対BL1, bBL1の電位をフルスイングさせる必要はない。

【0107】また、データセンス後、ビット線対BL1, bBL1の電位をフルスイングさせる必要がないため、ビット線対BL1, bBL1の充放電に要する電荷量が減り、低消費電力化に貢献できる。また、磁気抵抗素子(TMR素子)に高い電圧が加わることを防止できるため、磁気抵抗素子の信頼性を向上させることができる。

【0108】さらに、リストア動作が不要なため、メモリセルMCのデータがビット線BL1に十分に出力された後には、直ちに、選択されたリードワード線RWL1のレベルを“H”から“L”に低下させることができる。つまり、データリストアのために、リードワード線RWL1の電位レベルを立ち上げておく必要がないため、データをビット線BL1に出力した後、直ちに、リードワード線RWL1の電位レベルを立ち下げて、ビット線BL1に流れるセンス電流Isを止めれば、無駄な消費電をなくし、低消費電流化を実現できる。

【0109】また、メモリセルMCのデータをセンスアンプ24にラッチした後は、次のリードサイクルに備えて、直ちに、全てのビット線対BLi, bBLiのプリチャージすることができるため、高速読み出しを実現できる。

【0110】このように、磁気ランダムアクセスメモリ(MRAM)では、非破壊読み出しが行われるため、リストア動作が不要であり、ビット線対の電位をフルス

16

ングさせる必要がなく、ビット線とセンスアンプを独立にプリチャージできる。従って、磁気ランダムアクセスメモリは、リードに関しては、DRAMに比べ、低消費電力で、高速なランダムアクセスを実現できる。

【0111】〔第2実施の形態〕本実施の形態に関わる磁気ランダムアクセスメモリ(MRAM)の特徴は、センスアンプの構成にある。即ち、本実施の形態に関わる磁気ランダムアクセスメモリは、上述の第1実施の形態に関わる磁気ランダムアクセスメモリと比べると、センスアンプの構成のみにおいて相違し、その他の構成については、全く同じとなる。

【0112】従って、以下では、本実施の形態に関わるセンスアンプの構成についてのみ説明する。

【0113】図6は、本発明の第2実施の形態に関わる磁気ランダムアクセスメモリのセンスアンプを示している。

【0114】このセンスアンプは、通常のDRAMに用いられるフリップフロップ型センスアンプである。

【0115】ビット線対BLi, bBLiとフリップフロップ回路の間には、分離ゲートとしてのNチャネルMOSトランジスタQN8, QN9が接続される。そして、ビット線対BLi, bBLiの電位をフリップフロップ回路のノードSA1, bSA1に導いた後、分離ゲートをオフ状態にし、ビット線対BLi, bBLiとフリップフロップ回路を分離した状態でセンスアンプ24を活性化する。

【0116】次に、図7の波形図を参照しながら、本発明の第2実施の形態に関わる磁気ランダムアクセスメモリのセンス動作について説明する。

【0117】なお、磁気ランダムアクセスメモリ主要部の構成は、センスアンプを除き、第1実施の形態に関わる磁気ランダムアクセスメモリ(図1、図2及び図3参照)と同じであるとする。また、簡単のため、リードワード線RWL1が選択され、メモリセルMCのデータがビット線BL1に読み出される場合を考える。

【0118】まず、センス動作開始前にビット線対BLi, bBLiに対するプリチャージ動作が実行される。プリチャージ動作時、プリチャージ信号PCは、“L”レベル(例えば、接地電位)に設定されるため、全てのビット線対BLi, bBLiは、Vrefにプリチャージされる。

【0119】また、この時、制御信号ISOは、“H”レベル(例えば、内部電源電位Vdd)に設定されているため、センスアンプノードSA1, bSA1も、Vrefにプリチャージされる。また、センスアンプ活性化信号SAP, SANも、Vrefに設定されている。

【0120】この後、プリチャージ信号PCが“H”レベル(例えば、内部電源電位)に設定されると、ビット線対BLi, bBLiのプリチャージが解除される。

【0121】そして、リードワード線イネーブル信号R

17

WLENが“H”レベルになると、リードワード線ドライバによりリードワード線RWL1が“H”レベルに設定される。これと同時に、図1のNチャネルMOSトランジスタQN4がオン状態となるため、バイアス電圧発生回路21から出力されるバイアス電位Vbiasは、PチャネルMOSトランジスタQP2又はPチャネルMOSトランジスタbQP2に伝達される。

【0122】即ち、ロウアドレス信号の最下位ビットRA0とその相補信号bRA0により選択されるメモリセルMCが接続されるビット線BL1, BL2, ...にセンス電流Isが流れる。

【0123】具体的には、ロウアドレス信号の最下位ビットRA0が“0(=L)”であるとき、例えば、リードワード線RWL1が“H”レベルとなり、かつ、PチャネルMOSトランジスタQP2がオン状態となるため、カレントミラーによりビット線BL1, BL2, ...にセンス電流Isが流れる。

【0124】なお、ロウアドレス信号の最下位ビットRA0が“1(=H)”であるときには、例えば、リードワード線RWL2が“H”レベルとなり、かつ、PチャネルMOSトランジスタbQP2がオン状態となるため、カレントミラーによりビット線bBL1, bBL2, ...にセンス電流Isが流れる。

【0125】その結果、選択されたメモリセルMCに記憶されているデータが“0”のときには、ビット線BL1の電位は、プリチャージ電位Vrefから低下し、選択されたメモリセルMCに記憶されているデータが“1”のときには、ビット線BL1の電位は、プリチャージ電位Vrefから上昇する。

【0126】一方、ロウアドレス信号の最下位ビットRA0が“0(=L)”であるため、PチャネルMOSトランジスタbQP2は、オフ状態であり、ビット線bBL1, bBL2, ...にセンス電流Isが流れることはない。従って、選択されたメモリセルが接続されていないビット線bBL1, bBL2, ...は、フローティング状態で、かつ、プリチャージ電位Vrefを維持している。

【0127】この後、センスアンプ24を活性化し、ビット線対BL1, bBL1の間の電位差をセンスする。

【0128】ここで、センス時、ビット線BL1の電位が上昇する場合又は低下する場合のいずれにおいても、ビット線BL1の電位の時間的変化は、同じとなる。従って、センスアンプ24を動作させるタイミングにより、“0”-リードと“1”-リードとの間で、ビット線対BL1, bBL1に生じる電位差が互いに異なることはない。

【0129】本例では、ビット線対BL1, bBL1は、分離ゲートとしてのNチャネルMOSトランジスタQN8, QN9を経由して、フリップフロップ回路のノード(センスアンプノード)SA1, bSA1に接続さ

18

れる。

【0130】即ち、センス時、メモリセルからビット線対BLi, bBLiにデータが十分に出力され、かつ、センスアンプノードSA1, bSA1に、ビット線対BLi, bBLiの微小な電位差が伝わった時点で、制御信号ISOを“L”レベル(例えば、接地電位)に設定する。その結果、分離ゲートとしてのNチャネルMOSトランジスタQN8, QN9は、オフ状態となり、ビット線対BLi, bBLiとフリップフロップ回路は、電氣的に分離される。

【0131】この後、センスアンプ活性化信号SAPをVdd/2からVddに設定し、また、センスアンプ活性化信号SANをVdd/2からVssに設定することにより、センスアンプ24は、活性化され、メモリセルMCのデータがセンスアンプ24にラッチされる。

【0132】具体的には、“0”-リードの場合には、センスアンプ24の出力ノードSA1がVss(=gnd)となり、センスアンプ24の出力ノードbSA1がVddとなる。また、“1”-リードの場合には、センスアンプ24の出力ノードSA1がVddとなり、センスアンプ24の出力ノードbSA1がVssとなる。

【0133】ここで、データの増幅時、センスアンプ(フリップフロップ回路)は、ビット線対BLi, bBLiから電氣的に切断されている。つまり、ビット線対BLi, bBLiに生じる寄生容量がセンスアンプノードSA1, bSA1に接続されることがないため、高速に、データを増幅することができる。

【0134】この後、カラム選択信号CSLを“H”レベルに設定し、センスアンプ24にラッチされたデータをデータ線対(DQ線対)DQ, bDQを経由して、出力回路に転送する。

【0135】ところで、磁気ランダムアクセスメモリ(MRAM)は、非破壊読み出しによりデータを読み出すことができるため、上述のセンス動作においても、第1実施の形態と同様に、データリストア動作が必要ない。つまり、データリストアのために、ビット線対BL1, bBL1の電位をフルスイングさせる必要はない。

【0136】また、データセンス後、ビット線対BL1, bBL1の電位をフルスイングさせる必要がないため、ビット線対BL1, bBL1の充放電に要する電荷量が減り、低消費電力化に貢献できる。また、磁気抵抗素子(TMR素子)に高い電圧が加わることを防止できるため、磁気抵抗素子の信頼性を向上させることができる。

【0137】さらに、リストア動作が不要なため、メモリセルMCのデータがビット線BL1に十分に出力された後には、直ちに、選択されたリードワード線RWL1のレベルを“H”から“L”に低下させることができる。つまり、データリストアのために、リードワード線RWL1の電位レベルを立ち上げておく必要がない

10

20

30

40

50

め、データをビット線BL1に出力した後、直ちに、リードワード線RWL1の電位レベルを立ち下げて、ビット線BL1に流れるセンス電流Isを止めれば、無駄な消費電をなくし、低消費電流化を実現できる。

【0138】また、メモリセルMCのデータをセンスアンプ24にラッチした後は、次のリードサイクルに備えて、直ちに、全てのビット線対BLi, bBLiのプリチャージすることができるため、高速読み出しを実現できる。

【0139】このように、磁気ランダムアクセスメモリ(MRAM)では、非破壊読み出しが行われるため、リストア動作が不要であり、ビット線対の電位をフルスイングさせる必要がなく、ビット線とセンスアンプを独立にプリチャージできる。従って、磁気ランダムアクセスメモリは、リードに関しては、DRAMに比べ、低消費電力で、高速なランダムアクセスを実現できる。

【0140】なお、本実施の形態では、第1実施の形態に比べて、分離ゲートのオン/オフを制御するための制御信号ISOが必要となる。このように、本実施の形態では、制御信号ISOが1つ増えるが、その代わりに、ビット線対BLi, bBLiの電位をゲートに受けるトランジスタの特性のばらつきの影響をなくすることができるという利点を得ることができる。

【0141】〔第3実施の形態〕本実施の形態に関わる磁気ランダムアクセスメモリ(MRAM)の特徴は、メモリセルが、磁気抵抗素子(例えば、TMR素子)とダイオードから構成される点にある。以下、本実施の形態に関わる磁気ランダムアクセスメモリについて詳細に説明する。

【0142】図8は、本発明の第3実施の形態に関わる磁気ランダムアクセスメモリの主要部を示している。

【0143】メモリセルMCは、1つの磁気抵抗素子11と1つのダイオード13とから構成される。ライトワード線WWL1, WWL2, ...及びリードワード線RWL1, RWL2, ...は、ロウ方向に延び、ビット線BL1, bBL1, BL2, bBL2, ...は、カラム方向に延びている。

【0144】ライトワード線WWL1, WWL2, ...は、メモリセルアレイ上においては接続点を持たず、磁気抵抗素子11の近傍を通るように配置される。即ち、ライト時に、ライトワード線WWL1, WWL2, ...及びビット線BL1, bBL1, BL2, bBL2, ...に流れる電流により作られる磁場を用いて、磁気抵抗素子11の磁化の方向(平行、反平行)を変える。

【0145】リードワード線RWL1, RWL2, ...は、メモリセルMCを構成するダイオード13のカソードに接続される。リード時には、選択されたメモリセルMCのダイオード13のカソードを接地電位にし、選択されたメモリセルMCの磁気抵抗素子11に定電流を

流して、磁気抵抗素子11の状態に応じてビット線BL1, bBL1, BL2, bBL2, ...の電位を変化させる。

【0146】センスアンプ(S/A)24は、1組のビット線対BLi, bBLi(i=1, 2, ...)に対して1つだけ設けられる。

【0147】本実施の形態では、センスアンプ24は、メモリセルMCに定電流Isを流し、ビット線対BLi, bBLiに生じる電位差を検出する差動センス方式を前提としている。また、メモリセルアレイは、フォールドビット線(Folded Bit Line)方式を採用している。

【0148】但し、図8のメモリセルアレイ構成は、一例であり、本発明は、これ以外のメモリセルアレイ構成を有する磁気ランダムアクセスメモリにも適用できることは言うまでもない。

【0149】センスアンプ24は、選択されたメモリセルMCが接続されるビット線対BLi, bBLiの一方の電位と、ビット線対BLi, bBLiの他方の電位(リファレンス電位Vref)とを比較し、差動増幅する。

【0150】ここで、リファレンス電位Vrefは、“0”-リードと“1”-リードとの間でセンスマージンを均等化するため、“0”-リード時におけるビット線の電位V0と“1”-リード時におけるビット線の電位V1とのちょうど中間値(V0+V1)/2に設定することが望ましい。

【0151】なお、リファレンスセルは、第1実施の形態と同様に、図2に示すような4つのTMR素子から構成することができる。

【0152】本実施の形態においても、センス電流Isをリファレンスセルに流したとき、リファレンスセルにより生成される電位がVrefになるように設定される。この電位Vrefは、TMR素子の耐圧、磁気抵抗変化率MRのバイアス依存性、MOSトランジスタの抵抗などを考慮して、信頼性の許す範囲内で、最大の信号が出力されるように決められる。

【0153】リード時には、リードワード線イネーブル信号RWLENが“H”レベルとなる。この時、NチャネルMOSトランジスタQN4がオン状態となり、NチャネルMOSトランジスタQN5がオフ状態となる。

【0154】また、例えば、ロウアドレス信号の最下位ビットとしてのRA0が“H”レベル、bRA0が“L”レベルとなると、バイアス電圧発生回路21の出力信号Vbiasは、PチャネルMOSトランジスタbQP2のゲートに伝達される。

【0155】従って、この場合には、ビット線bBL1, bBL2, ...にセンス電流Isが流れ、ビット線bBL1, bBL2, ...の電位は、選択されたメモリセルMCのデータに応じて変化する。また、ビット

線BL1, BL2, ...は、プリチャージ電位Vrefを維持する。

【0156】また、例えば、ロウアドレス信号の最下位ビットとしてのRA0が“L”レベル、bRA0が“H”レベルとなると、バイアス電圧発生回路21の出力信号Vbiasは、PチャネルMOSトランジスタQP2のゲートに伝達される。

【0157】従って、この場合には、ビット線BL1, BL2, ...にセンス電流Isが流れ、ビット線BL1, BL2, ...の電位は、選択されたメモリセルMCのデータに応じて変化する。また、ビット線bBL1, bBL2, ...は、プリチャージ電位Vrefを維持する。

【0158】図9は、図8のバイアス電圧発生回路の一例を示している。

【0159】Rrefは、図2に示すように、4つの磁気抵抗素子から構成され、抵抗変化率がMR/2となるように設定される。また、ゲートに差動アンプ25の出力信号Vbiasが入力されるPチャネルMOSトランジスタQP1のサイズは、センス電流源22のPチャネルMOSトランジスタQP2、bQP2及びメモリセルMCのNチャネルMOSトランジスタ12のサイズと実質的に同じに設定される。

【0160】なお、バイアス電圧発生回路内のPチャネルMOSトランジスタQP1とセンス電流源22のPチャネルMOSトランジスタQP2、bQP2は、カレントミラー回路を構成している。

【0161】ところで、リード時、Rrefにセンス電流Isが流れると共に、ビット線BLi, bBLi (i=1, 2, ...)のいずれか一方にもセンス電流Isが流れる。この時、ビット線BLi, bBLiには、配線抵抗が存在するため、この配線抵抗による電位降下により、センスアンプノードN1, bN1, N2, bN2, ...の電位差は、選択されたメモリセルMCの位置によって異なるものとなる。

【0162】例えば、センスアンプ(S/A)24に最も近いメモリセルMCがアクセスされたときには、ビット線BLi, bBLiの配線抵抗の影響は、最も小さくなるが、センスアンプ(S/A)24に最も遠いメモリセルMCがアクセスされたときには、ビット線BLi, bBLiの配線抵抗の影響は、最も大きくなる。

【0163】このような選択されるメモリセルの位置、即ち、ビット線BLi, bBLiの配線抵抗によるセンスアンプノードN1, bN1, N2, bN2, ...の電位差の変化は、メモリセルMCのデータをセンスする際のノイズとなる。

【0164】このようなセンス時のノイズを低減するために、本発明では、図9に示すように、PチャネルMOSトランジスタQP1と磁気抵抗素子Rrefの間に、ビット線BLi, bBLiの配線抵抗の半分の抵抗値を

有する調整用抵抗rを接続している。この調整用抵抗rを作る一番簡単な方法は、ビット線BLi, bBLiと同じ配線層で、同じ断面積、半分の長さを有する配線を形成するというものである。

【0165】なお、ロウアクセスがないとき、即ち、リードワード線RWL1, RWL2, ...が選択されていないときに、バイアス電圧発生回路に電流を流すことは、無駄な電流を消費することになり、低消費電流化に不都合である。

【0166】そこで、ロウアクセスが行われている期間だけ、バイアスイネーブル信号BIASENを“H”レベル（例えば、選択されたリードワード線に与える電位と同じ電位）に設定し、それ以外の期間においては、バイアスイネーブル信号BIASENは、“L”レベル（例えば、接地電位）に設定する。

【0167】これにより、NチャネルMOSトランジスタQN3は、ロウアクセスが行われている期間だけ、オン状態となるため、バイアス発生回路における無駄な電流の垂れ流しを防止でき、低消費電流化に貢献することができる。

【0168】本実施の形態におけるバイアス電圧発生回路は、図3のバイアス電圧発生回路に比べて、磁気抵抗素子RrefとNチャネルMOSトランジスタQN3の間にダイオード14が接続されている点、及び、Nチャネル型MOSトランジスタQN3のソースに制御信号VWLが入力されている点において相違している。

【0169】制御信号VWLは、リードワード線RWLiに与える電位のうち“L”レベルの電位を意味し、選択されたリードワード線に与える電位と同じ電位、即ち、接地電位となる。NチャネルMOSトランジスタQN3のサイズは、リードワード線RWLiにVWL（接地電位）を与えるNチャネルMOSトランジスタのサイズと同じに設定される。

【0170】rは、ビット線の配線抵抗を模したものであるが、これと同様に、ワード線の配線抵抗を模した抵抗を、PチャネルMOSトランジスタQP1と磁気抵抗素子(リファレンスセル)Rrefの間に接続してもよい。

【0171】なお、センスアンプ24に関しては、例えば、第1実施の形態で使用したもの（図4参照）をそのまま使うことができるし、また、第2実施の形態で使用したもの（図6参照）をそのまま使うこともできる。

【0172】次に、図8及び図9の磁気ランダムアクセスメモリに関し、図10の波形図を参照しつつ、リード時のセンス動作について説明する。

【0173】なお、センスアンプは、第1実施の形態と同じもの（図4）を使用する。また、説明を簡単にするため、リードワード線RWL1が選択され、メモリセルMCのデータがビット線BL1に読み出されることを前提とする。

23

【0174】まず、センス動作開始前にビット線対BL_i, bBL_iに対するプリチャージ動作が実行される。プリチャージ動作時、プリチャージ信号PCは、“L”レベル（例えば、接地電位）に設定されるため、全てのビット線対BL_i, bBL_iは、V_{ref}にプリチャージされる。

【0175】この時、リードワード線RWL₁は、“H”レベル、即ち、VWLHに設定されている。VWLHは、V_{ref}よりも高い電位であるため、メモリセルMC内のダイオード13は、逆バイアス状態になっている。従って、理想的には、メモリセルMCには、電流が流れない。

【0176】この後、プリチャージ信号PCが“H”レベル（例えば、内部電源電位）に設定されると、ビット線対BL_i, bBL_iのプリチャージが解除される。

【0177】そして、リードワード線イネーブル信号RWLENが“H”レベルになると、リードワード線ドライバにより、選択されたリードワード線RWL₁が“H”レベルから“L”レベル、即ち、VWLHからVWLLに変化する。従って、選択されたリードワード線RWL₁に接続されるメモリセルMC内のダイオード13は、順バイアス状態となる。

【0178】なお、VWLHが“0”ーリード時のビット線電位よりも低ければ、非選択のメモリセルMC内のダイオード13は、逆バイアス状態のままであるため、メモリセルMCに電流が流れることはない。

【0179】これと同時に、図8のNチャネルMOSトランジスタQN4がオン状態となるため、バイアス電圧発生回路21から出力されるバイアス電位V_{bias}は、PチャネルMOSトランジスタQP2又はPチャネルMOSトランジスタbQP2に伝達される。

【0180】即ち、ロウアドレス信号の最下位ビットRA0とその相補信号bRA0により選択されるメモリセルMCが接続されるビット線BL₁, BL₂, …にセンス電流I_sが流れる。

【0181】本例では、ロウアドレス信号の最下位ビットRA0が“0 (=L)”であることを前提としているため、リードワード線RWL₁が“L”レベルとなり、かつ、PチャネルMOSトランジスタQP2がオン状態となるため、カレントミラーによりビット線BL₁, BL₂, …にセンス電流I_sが流れる。

【0182】その結果、選択されたメモリセルMCに記憶されているデータが“0”のときには、ビット線BL₁の電位は、プリチャージ電位V_{ref}から低下し、選択されたメモリセルMCに記憶されているデータが“1”のときには、ビット線BL₁の電位は、プリチャージ電位V_{ref}から上昇する。

【0183】なお、ロウアドレス信号の最下位ビットRA0が“0 (=L)”であるため、PチャネルMOSトランジスタbQP2は、オフ状態であり、ビット線bB

24

L₁, bBL₂, …にセンス電流I_sが流れることはない。従って、選択されたメモリセルが接続されていないビット線bBL₁, bBL₂, …は、フローティング状態で、かつ、プリチャージ電位V_{ref}を維持している。

【0184】このように、センス電流I_sがメモリセルMCに流れることにより、磁気抵抗素子の磁化の状態がビット線対BL₁, bBL₁の間の電位差として表れる。この後、センスアンプ24を活性化し、ビット線対BL₁, bBL₁の間の電位差をセンスする。

【0185】ここで、センス時、ビット線BL₁の電位が上昇する場合又は低下する場合のいずれにおいても、ビット線BL₁の電位の時間的变化は、同じとなる。従って、センスアンプ24を動作させるタイミングにより、“0”ーリードと“1”ーリードとの間で、ビット線対BL₁, bBL₁に生じる電位差が互いに異なることはない。

【0186】本例では、ビット線対BL₁, bBL₁の電位は、センスアンプ24内のNチャネルMOSトランジスタQN6, QN7のゲートに入力される。つまり、ビット線対BL₁, bBL₁の間の電位差は、センスアンプ24内のNチャネルMOSトランジスタQN6, QN7の電流駆動能力の差として表れる。

【0187】従って、センスアンプ活性化信号SAPをV_{dd}/2からV_{dd}に設定し、また、センスアンプ活性化信号SANをV_{dd}/2からV_{ss}に設定することにより、センスアンプ24は、活性化され、メモリセルMCのデータがセンスアンプ24にラッチされる。

【0188】具体的には、“0”ーリードの場合には、センスアンプ24の出力ノードSA1がV_{ss} (=gnd) となり、センスアンプ24の出力ノードbSA1がV_{dd}となる。また、“1”ーリードの場合には、センスアンプ24の出力ノードSA1がV_{dd}となり、センスアンプ24の出力ノードbSA1がV_{ss}となる。

【0189】この後、カラム選択信号CSLを“H”レベルに設定し、センスアンプ24にラッチされたデータをデータ線対(DQ線対)DQ, bDQを経由して、出力回路に転送する。

【0190】なお、上述のセンス動作に関し、データをセンスアンプ24にラッチした後、直ちに、リードワード線RWL₁をVWLHからVWLHに戻し、次のリードサイクルに備えて、ビット線のプリチャージ動作を行ってもよい。

【0191】上述のセンス動作においては、DRAMで行われるようナリストア動作は、行われぬ。その理由は、磁気ランダムアクセスメモリ(MRAM)は、非破壊読み出しによりデータを読み出すことができるため、データを再びメモリセルに書き込む必要がないためである。従って、データリストアのために、ビット線対BL₁, bBL₁の電位をフルスイングさせる必要はない。

25

【0192】また、データセンス後、ビット線対BL1, bBL1の電位をフルスイングさせる必要がないため、ビット線対BL1, bBL1の充放電に要する電荷量が減り、低消費電力化に貢献できる。また、磁気抵抗素子(TMR素子)に高い電圧が加わることを防止するため、磁気抵抗素子の信頼性を向上させることができる。

【0193】さらに、リストア動作が不要なため、メモリセルMCのデータがビット線BL1に十分に出力された後には、直ちに、選択されたリードワード線RWL1のレベルを“H”から“L”に低下させることができる。つまり、データリストアのために、リードワード線RWL1の電位レベルを立ち上げておく必要がないため、データをビット線BL1に出力した後、直ちに、リードワード線RWL1の電位レベルを立ち下げて、ビット線BL1に流れるセンス電流Isを止めれば、無駄な消費電をなくし、低消費電流化を実現できる。

【0194】また、メモリセルMCのデータをセンスアンプ24にラッチした後は、次のリードサイクルに備えて、直ちに、全てのビット線対BLi, bBLiのプリチャージすることができるため、高速読み出しを実現できる。

【0195】このように、磁気ランダムアクセスメモリ(MRAM)では、非破壊読み出しが行われるため、リストア動作が不要であり、ビット線対の電位をフルスイングさせる必要がなく、ビット線とセンスアンプを独立にプリチャージできる。従って、磁気ランダムアクセスメモリは、リードに関しては、DRAMに比べ、低消費電力で、高速なランダムアクセスを実現できる。

【0196】[まとめ]本発明によれば、複数の磁気抵抗素子を用いて、メモリセルのMR比の半分のMR比を持つリファレンスセルを作成している。そして、プリチャージ時に、このリファレンスセルにより生成される定電位と同じ電位をプリチャージ電位としてビット線に与える。また、センス時には、リファレンスセルに定電流を流すと共に、カレントミラー回路を用いて、ビット線(メモリセル)にも定電流を流す。これにより、DRAMと同様の動作により、リード動作を行うことができ、DRAMの置き替え用途としてMRAMを開発する場合に、DRAMとの互換性を高くすることができる。

【0197】(2) 第2発明

上述の第1の発明では、複数の磁気抵抗素子を用いて、メモリセルのMR比の半分のMR比を持つリファレンスセルを作成し、このリファレンスセルに定電流を流して、センス時に用いるリファレンス電位Vrefを生成する手法を提案した。ここで、各々の磁気抵抗素子は、基本的には、メモリセルに用いる磁気抵抗素子と同じステップ及び同じレイアウトで形成される。

【0198】しかし、リファレンスセルは、複数の磁気抵抗素子を組み合わせることにより形成されるため、各

26

々の磁気抵抗素子を接続するための配線などが必要となり、全体としては、メモリセルの磁気抵抗素子とは異なる構造となる。また、メモリセルアレイや周辺回路などのレイアウトを考慮すると、リファレンスセルをメモリセル内の磁気抵抗素子と完全に同じ環境下に配置することが難しい。

【0199】従って、リファレンスセルを形成するに当たり、メモリセル内の磁気抵抗素子の特性のばらつきの範囲内で、リファレンスセルを形成できない場合がある。

【0200】本発明は、上記事情に鑑みてなされたもので、リファレンス電位Vrefを、メモリセルアレイ内のメモリセル(ダミーセル)を用いて生成する点に特徴を有する。具体的には、“0”-データを記憶するメモリセル(“0”-セル)と“1”-データを記憶するメモリセル(“1”-セル)に、それぞれセンス電流を流す。

【0201】ここで、各メモリセルにセンス電流を流したときの“0”-セルに接続されるビット線の電位をV0とし、“1”-セルに接続されるビット線の電位をV1とすると、各ビット線を短絡することにより、リファレンス電位Vrefに最も適した中間電位(V0+V1)/2を得ることができる。

【0202】このように、メモリセルアレイ内の特定のメモリセルを、ダミーセルとして、リファレンス電位Vrefを生成するために用いれば、正確なリファレンス電位Vrefを生成することができ、磁気ランダムアクセスメモリ(MRAM)の信頼性の向上に貢献できる。

【0203】以下、本発明の実施の形態について、詳細に説明する。

【0204】[第1実施の形態]図11は、本発明の第1実施の形態に関わる磁気ランダムアクセスメモリの主要部を示している。

【0205】メモリセルMCは、1つの磁気抵抗素子11と1つのMOSトランジスタ12とから構成される。ライトワード線WWL1, WWL2, ...及びリードワード線RWL1, RWL2, ...は、ロウ方向に延び、ビット線BL1, bBL1, BL2, bBL2, ...は、コラム方向に延びている。

【0206】ライトワード線WWL1, WWL2, ...は、メモリセルアレイ上においては接続点を持たず、磁気抵抗素子11の近傍を通るように配置される。即ち、ライト時に、ライトワード線WWL1, WWL2, ...及びビット線BL1, bBL1, BL2, bBL2, ...に流れる電流により作られる磁場を用いて、磁気抵抗素子11の磁化の方向(平行、反平行)を変えらる。

【0207】リードワード線RWL1, RWL2, ...は、メモリセルMCを構成するMOSトランジスタ12のゲートに接続される。リード時には、選択されたメ

27

メモリセルMCのMOSトランジスタ12をオン状態にし、選択されたメモリセルMCの磁気抵抗素子11に定電流を流して、磁気抵抗素子11の状態に応じてビット線BL1, bBL1, BL2, bBL2, ...の電位を変化させる。

【0208】本発明では、メモリセルアレイ内の特定のメモリセルを、ダミーセルとして、リファレンス電位Vrefを生成するために使用している。例えば、1本のビット線に接続される複数のメモリセルのうちの特定の1つをダミーセルDUMMYとする。

【0209】ダミーセルDUMMYは、メモリセルMCと同様に、1つの磁気抵抗素子11と1つのMOSトランジスタ12とから構成される。ダミーライトワード線DWWL1, DWWL2, ...及びダミーリードワード線DRWL1, DRWL2, ...は、ロウ方向に延びている。ビット線BL1, bBL1, BL2, bBL2, ...は、メモリセルMCとダミーセルDUMMYに共通に接続されている。

【0210】ダミーライトワード線DWWL1, DWWL2, ...は、メモリセルアレイ上においては接続点を持たず、ダミーセルDUMMY内の磁気抵抗素子11の近傍を通るように配置される。即ち、ライト時に、ダミーライトワード線DWWL1, DWWL2, ...及びビット線BL1, bBL1, BL2, bBL2, ...に流れる電流により作られる磁場を用いて、ダミーセルDUMMY内の磁気抵抗素子11の磁化の方向（平行、反平行）を変える。

【0211】ダミーリードワード線DRWL1, DRWL2, ...は、ダミーセルDUMMYを構成するMOSトランジスタ12のゲートに接続される。リード時には、選択されたダミーセルDUMMY内のMOSトランジスタ12をオン状態にし、選択されたダミーセルDUMMY内の磁気抵抗素子11に定電流を流して、その磁気抵抗素子11の状態に応じてビット線BL1, bBL1, BL2, bBL2, ...の電位を変化させる。

【0212】本実施の形態では、ビット線対BLi, bBLiの一方（BLi）に関し、奇数番目のビット線BL1, BL3, ...に接続されるダミーセルDUMMYには、“0”-データが記憶され、偶数番目のビット線BL2, BL4, ...に接続されるダミーセルDUMMYには、“1”-データが記憶される。

【0213】そして、奇数番目のビット線BL1, BL3, ...と偶数番目のビット線BL2, BL4, ...は、イコライズ回路（短絡用NチャネルMOSトランジスタ）24により互いに接続されている。具体的には、ビット線BL1とビット線BL2が短絡用PチャネルMOSトランジスタQP10を介して接続され、同様に、ビット線BL3とビット線BL4が短絡用PチャネルMOSトランジスタQP10を介して接続される。

【0214】短絡用PチャネルMOSトランジスタQP

28

10のオン／オフは、制御信号EQL0により制御される。

【0215】また、ビット線対BLi, bBLiの他方（bBLi）に関し、奇数番目のビット線bBL1, bBL3, ...に接続されるダミーセルDUMMYには、“0”-データが記憶され、偶数番目のビット線bBL2, bBL4, ...に接続されるダミーセルDUMMYには、“1”-データが記憶される。

【0216】そして、奇数番目のビット線bBL1, bBL3, ...と偶数番目のビット線bBL2, bBL4, ...は、イコライズ回路（短絡用NチャネルMOSトランジスタ）24により互いに接続されている。具体的には、ビット線bBL1とビット線bBL2が短絡用PチャネルMOSトランジスタQP11を介して接続され、同様に、ビット線bBL3とビット線bBL4が短絡用PチャネルMOSトランジスタQP11を介して接続される。

【0217】短絡用PチャネルMOSトランジスタQP11のオン／オフは、制御信号EQL1により制御される。

【0218】なお、ダミーセルDUMMYに記憶されるデータと互いに短絡するビット線との間の関係は、上述の例に限られず、種々の変更が可能である。

【0219】即ち、重要な点は、ビット線BLi同士又はビット線bBLi同士で短絡し、かつ、短絡される2×n（nは、自然数）本のビット線に接続される2×n個のダミーセルDUMMYのうちの半分が“0”を記憶し、残りの半分が“1”を記憶していることにある。

【0220】プリチャージ回路23は、スタンバイ状態において、全てのビット線BLi, bBLiをプリチャージ電位VPCにプリチャージしておく役割を果たす。プリチャージ電位VPCは、接地電位でも動作上は問題ないが、プリチャージ電位VPCが接地電位であると、高速データリードや低消費電力にとって不利となるため、適当な電位に設定することが望ましい。

【0221】即ち、プリチャージ電位VPCが接地電位であると、センス時、a. ビット線の電位が十分に上昇し、メモリセルに十分なバイアス加わり、メモリセルからデータが出力されるまでに、長い時間がかかる、

b. ビット線の電位の振幅が大きくなり、ビット線の充放電に際して無駄な電流を消費する、などの問題が生じる。

【0222】なお、プリチャージ電位VPCの値は、磁気抵抗素子の耐圧、磁気抵抗変化率MRのバイアス依存性、MOSトランジスタのオン抵抗などを考慮して、信頼性の許す範囲内で最大の信号が出力されるように決定される。

【0223】センスアンプ（S/A）24は、1組のビット線対BLi, bBLi（i=1, 2, ...）に対して1つだけ設けられる。

29

【0224】本実施の形態では、センスアンプ24は、メモリセルMCに定電流 I_s を流し、ビット線対 BL_i , bBL_i に生じる電位差を検出する差動センス方式を前提としている。また、メモリセルアレイは、フォールドビット線 (Folded Bit Line) 方式を採用している。

【0225】但し、図11のメモリセルアレイ構成は、一例であり、本発明は、これ以外のメモリセルアレイ構成を有する磁気ランダムアクセスメモリにも適用できることは言うまでもない。

【0226】センスアンプ24は、選択されたメモリセルMCが接続されるビット線対 BL_i , bBL_i の一方の電位と、ビット線対 BL_i , bBL_i の他方の電位 (リファレンス電位 V_{ref}) とを比較し、差動増幅する。

【0227】リード時には、リードワード線イネーブル信号 $RWLEN$ が“H”レベルとなる。この時、NチャネルMOSトランジスタ QN_4 がオン状態となり、NチャネルMOSトランジスタ QN_5 がオフ状態となる。従って、バイアス電圧発生回路21の出力信号 V_{bias} は、PチャネルMOSトランジスタ QP_2 のゲートに伝達される。

【0228】従って、全てのビット線 BL_1 , bBL_1 , BL_2 , bBL_2 , ... にセンス電流 I_s が流れ、ビット線 BL_1 , bBL_1 , BL_2 , bBL_2 , ... の電位は、選択されたメモリセルMCのデータ又は選択されたダミーセルDUMMYのデータに応じて変化する。

【0229】なお、ダミーセルDUMMYが接続されるビット線の電位は、この後、イコライズ回路26によりイコライズされるため、 $V_{ref} (= (V_0 + V_1) / 2)$ となる。

【0230】図12は、図11のバイアス電圧発生回路の一例を示している。

【0231】磁気抵抗素子R及びNチャネルMOSトランジスタ QN_3 は、メモリセルMC内の磁気抵抗素子11及びNチャネルMOSトランジスタ12とレイアウトやサイズが同じものを使用する。

【0232】但し、第2発明の場合、磁気抵抗素子Rは、例えば、メモリセルMC内の磁気抵抗素子11と同じものを使用できれば一番良いが、バイアス電圧発生回路21の出力信号 V_{bias} の精度は、あまり問題とならないため、他の素子で置き換えてもよい。

【0233】ゲートに差動アンプ25の出力信号 V_{bias} が入力されるPチャネルMOSトランジスタ QP_1 のサイズは、センス電流源22のPチャネルMOSトランジスタ QP_2 , bQP_2 及びメモリセルMCのNチャネルMOSトランジスタ12のサイズと実質的に同じに設定される。

【0234】なお、バイアス電圧発生回路内のPチャネ

30

ルMOSトランジスタ QP_1 とセンス電流源22のPチャネルMOSトランジスタ QP_2 , bQP_2 は、カレントミラー回路を構成している。

【0235】ところで、リード時、バイアス電圧発生回路21内の磁気抵抗素子Rにセンス電流 I_s が流れると共に、ビット線 BL_i , bBL_i ($i=1, 2, \dots$) にもセンス電流 I_s が流れる。この時、ビット線 BL_i , bBL_i には、配線抵抗が存在するため、この配線抵抗による電位降下により、センスアンプノード N_1 , bN_1 , N_2 , bN_2 , ... の電位差は、選択されたメモリセルMCの位置によって異なるものとなる。

【0236】例えば、センスアンプ (S/A) 24に最も近いメモリセルMCがアクセスされたときには、ビット線 BL_i , bBL_i の配線抵抗の影響は、最も小さくなるが、センスアンプ (S/A) 24に最も遠いメモリセルMCがアクセスされたときには、ビット線 BL_i , bBL_i の配線抵抗の影響は、最も大きくなる。

【0237】このような選択されるメモリセルの位置、即ち、ビット線 BL_i , bBL_i の配線抵抗によるセンスアンプノード N_1 , bN_1 , N_2 , bN_2 , ... の電位差の変化は、メモリセルMCのデータをセンスする際のノイズとなる。

【0238】このようなセンス時のノイズを低減するために、本発明では、図12に示すように、PチャネルMOSトランジスタ QP_1 と磁気抵抗素子Rの間に、ビット線 BL_i , bBL_i の配線抵抗の半分の抵抗値を有する調整用抵抗 r を接続している。この調整用抵抗 r を作る一番簡単な方法は、ビット線 BL_i , bBL_i と同じ配線層で、同じ断面積、半分の長さを有する配線を形成すればよい。

【0239】なお、ロウアクセスがないとき、即ち、リードワード線 RWL_1 , RWL_2 , ... が選択されていないときに、バイアス電圧発生回路21に電流を流すことは、無駄な電流を消費することになり、低消費電流化に不都合である。

【0240】そこで、ロウアクセスが行われている期間だけ、バイアスイネーブル信号 $BIASEN$ を“H”レベル (例えば、選択されたリードワード線に与える電位と同じ電位) に設定し、それ以外の期間においては、バイアスイネーブル信号 $BIASEN$ は、“L”レベル (例えば、接地電位) に設定する。

【0241】これにより、NチャネルMOSトランジスタ QN_3 は、ロウアクセスが行われている期間だけ、オン状態となるため、バイアス発生回路における無駄な電流の垂れ流しを防止でき、低消費電流化に貢献することができる。

【0242】図13は、図11のセンスアンプの一例を示している。

【0243】このセンスアンプ24は、いわゆるダイレクトセンス方式で使用されるセンスアンプである。ピッ

ト線対BLi, bBLiの各電位は、PチャネルMOSトランジスタQP12, QN13のゲートに入力される。つまり、ビット線対BLi, bBLiの電位差は、PチャネルMOSトランジスタQP12, QN13の電流駆動能力の差となって表れる。

【0244】センスアンプ24は、ビット線対BLi, bBLiの間の電位差をセンスし、かつ、増幅する。即ち、選択されたメモリセルMCのデータは、センスアンプ24によりセンスされた後、データ線対(DQ線対)DQ, bDQに転送される。

【0245】なお、カラムの選択、即ち、センスアンプ24とデータ線対DQ, bDQの電氣的接続は、カラム選択信号CSLによりカラム選択スイッチ28のオン/オフを制御することにより行われる。

【0246】次に、上述した図11乃至図13の磁気ランダムアクセスメモリに関し、図14の波形図を参照しつつ、リード時のセンス動作について説明する。

【0247】なお、以下の説明では、簡単のため、リードワード線RWL1が選択され、メモリセルMCのデータがビット線BL1に読み出される場合を考える。

【0248】まず、センス動作開始前にビット線対BLi, bBLiに対するプリチャージ動作が実行される。プリチャージ動作時、プリチャージ信号PCは、“L”レベル(例えば、接地電位)に設定されるため、全てのビット線対BLi, bBLiは、VPCにプリチャージされる。

【0249】この後、プリチャージ信号PCが“H”レベル(例えば、内部電源電位)に設定されると、ビット線対BLi, bBLiのプリチャージが解除される。

【0250】そして、リードワード線イネーブル信号RWLENが“H”レベルになると、リードワード線ドライバによりリードワード線RWL1が“H”レベルに設定される。また、本実施の形態では、リードワード線RWL1が“H”レベルになると同時に、ダミーリードワード線DRWL2も“H”レベルに設定する。

【0251】これと同時に、図11のNチャネルMOSトランジスタQN4がオン状態となるため、バイアス電圧発生回路21から出力されるバイアス電位Vbiasは、PチャネルMOSトランジスタQP2に伝達され、カレントミラーにより全てのビット線対BL1, bBL1, BL2, bBL2・・・にセンス電流Isが流れる。

【0252】その結果、選択されたメモリセルMC又はダミーセルDUMMYに記憶されているデータが“0”のときには、ビット線BL1の電位は、プリチャージ電位VPCのままか、又は、図14に示すように、プリチャージ電位VPCから少しだけ上昇し、選択されたメモリセルMC又はダミーセルDUMMYに記憶されているデータが“1”のときには、ビット線BL1の電位は、プリチャージ電位VPCから大きく上昇する。

【0253】なお、ダミーセルDUMMYは、ビット線BL1, bBL1, BL2, bBL2,・・・の配線抵抗(又は電位降下)によるノイズを平均化ために、ビット線BL1, bBL1, BL2, bBL2,・・・の中央部に配置することが望ましい。

【0254】本実施の形態では、リードワード線RWL1及びダミーリードワード線DRWL2がそれぞれ選択されるため、ビット線BL1, BL2,・・・の電位は、メモリセルMCに記憶されたデータに応じた値に変化し、ビット線bBL1, bBL2,・・・の電位は、ダミーセルDUMMYに記憶されたデータに応じた値に変化する。

【0255】ここで、ビット線bBL1に接続されるダミーセルDUMMYには、“0”ーデータが記憶され、ビット線bBL2に接続されるダミーセルDUMMYには、“1”ーデータが記憶されている。

【0256】各ビット線BL1, bBL1, BL2, bBL2,・・・の電位がメモリセルMC又はダミーセルDUMMYに記憶されたデータに応じた値に十分に变化した後、リードワード線イネーブル信号RWLENが“H”レベルから“L”レベルに変化し、リードワード線RWL1及びダミーリードワード線DRWL2の電位も、“H”レベルから“L”レベルに変化する。

【0257】その結果、各ビット線BL1, bBL1, BL2, bBL2,・・・に流れていたセンス電流Isは、停止し、各ビット線BL1, bBL1, BL2, bBL2,・・・は、メモリセルMC又はダミーセルDUMMYに記憶されたデータに応じた値を保持したまま、フローティング状態となる。

【0258】この後、制御信号EQL1を“H”レベルに設定し、イコライズ回路26内のPチャネルMOSトランジスタQP11をオン状態にし、選択されたダミーセルDUMMYのデータが出力されたビット線bBL1, bBL2同士を互いに短絡する。その結果、2本のビット線bBL1, bBL2の間で、電荷共有が起こり、ビット線bBL1, bBL2の電位は、共に、リファレンス電位に最適な中間電位($= (V0 + V1) / 2$)となる。

【0259】即ち、ビット線bBL1には、ダミーセルDUMMYに記憶された“0”ーデータが出力され、V0となっており、ビット線bBL2には、ダミーセルDUMMYに記憶された“1”ーデータが出力され、V1となっているため、制御信号EQL1を“H”レベルに設定することにより、ビット線bBL1, bBL2の電位は、共に、中間電位($= (V0 + V1) / 2$)となる。

【0260】なお、イコライズ回路26による電荷共有は、ビット線BL1, bBL1, BL2, bBL2,・・・に流れるセンス電流Isを止め、かつ、ビット線BL1, bBL1, BL2, bBL2,・・・をフローテ

33

イング状態にして、データをビット線BL1, bBL1, BL2, bBL2, ...に閉じ込めた状態で行うため、イコライズのタイミングによって、生成されるリファレンス電位Vrefがばらつくということがない。

【0261】ビット線bBL1, bBL2, ...においてリファレンス電位Vrefが生成された後は、カラム選択信号CSLを“H”レベルに設定すれば、ビット線対BL1, bBL1の電位差は、センスアンプ24を経由して、データ線対(DQ線対)DQ, bDQに流れる電流差として、データ線対DQ, bDQに転送される。

【0262】なお、このように、本実施の形態では、ダイレクトセンス方式のセンスアンプを採用しているため、データ線対DQ, bDQには、データ線対DQ, bDQの電流差を直接センスするか、又は、この電流差を再び電位差に変換し、電圧センスする回路を接続する必要がある。

【0263】最後に、プリチャージ信号PCを、再び、“L”レベルに設定し、全てのビット線BL1, bBL1, BL2, bBL2, ...をプリチャージ電位VPCにし、次のリードサイクルに備える。

【0264】上述のセンス動作においては、DRAMで行われるようなリストア動作は、行われない。その理由は、磁気ランダムアクセスメモリ(MRAM)は、非破壊読み出しによりデータを読み出すことができるため、データを再びメモリセルに書き込む必要がないためである。従って、データリストアのために、ビット線対BL1, bBL1の電位をフルスイングさせる必要はない。

【0265】また、データセンス後、ビット線対BL1, bBL1の電位をフルスイングさせる必要がないため、ビット線対BL1, bBL1の充放電に要する電荷量が減り、低消費電力化に貢献できる。また、磁気抵抗素子(TMR素子)に高い電圧が加わることを防止できるため、磁気抵抗素子の信頼性を向上させることができる。

【0266】さらに、リストア動作が不要なため、メモリセルMCのデータがビット線BL1に十分に出力された後は、直ちに、選択されたリードワード線RWL1及び選択されたダミーリードワード線DRWL2のレベルを“H”から“L”に低下させることができる。

【0267】つまり、データリストアのために、リードワード線RWL1及びダミーリードワード線DRWL2の電位レベルを立ち上げておく必要がないため、データをビット線BL1, bBL1に出力した後、直ちに、リードワード線RWL1及びダミーリードワード線DRWL2の電位レベルを立ち下げて、ビット線BL1, bBL1に流れるセンス電流Isを止めれば、無駄な消費電をなくし、低消費電力化を実現できる。

【0268】このように、磁気ランダムアクセスメモリ(MRAM)では、非破壊読み出しが行われるため、リ

34

ストア動作が不要であり、ビット線対の電位をフルスイングさせる必要がなく、ビット線とセンスアンプを独立にプリチャージできる。従って、磁気ランダムアクセスメモリは、リードに関しては、DRAMに比べ、低消費電力で、高速なランダムアクセスを実現できる。

【0269】[第2実施の形態] 本実施の形態に関わる磁気ランダムアクセスメモリ(MRAM)の特徴は、上述の第1実施の形態に関わる磁気ランダムアクセスメモリと比べると、第一に、ビット線対BLi, bBLiとセンスアンプS/Aを電氣的に接続/分離する分離回路(分離トランジスタ)を設けた点、第二に、センスアンプの構成を、通常のDRAMに使用されるセンスアンプと同様に、フリップフロップ型とした点にある。

【0270】以下、本実施の形態に関わる磁気ランダムアクセスメモリについて詳細に説明する。

【0271】図15は、本発明の第2実施の形態に関わる磁気ランダムアクセスメモリの主要部を示している。

【0272】メモリセルMCは、1つの磁気抵抗素子11と1つのMOSトランジスタ12とから構成される。ライトワード線WWL1, WWL2, ...及びリードワード線RWL1, RWL2, ...は、ロウ方向に延び、ビット線BL1, bBL1, BL2, bBL2, ...は、カラム方向に延びている。

【0273】ライトワード線WWL1, WWL2, ...は、メモリセルアレイ上においては接続点を持たず、磁気抵抗素子11の近傍を通るように配置される。即ち、ライト時に、ライトワード線WWL1, WWL2, ...及びビット線BL1, bBL1, BL2, bBL2, ...に流れる電流により作られる磁場を用いて、磁気抵抗素子11の磁化の方向(平行、反平行)を変える。

【0274】リードワード線RWL1, RWL2, ...は、メモリセルMCを構成するMOSトランジスタ12のゲートに接続される。リード時には、選択されたメモリセルMCのMOSトランジスタ12をオン状態にし、選択されたメモリセルMCの磁気抵抗素子11に定電流を流して、磁気抵抗素子11の状態に応じてビット線BL1, bBL1, BL2, bBL2, ...の電位を変化させる。

【0275】本実施の形態においても、上述の第1実施の形態と同様に、メモリセルアレイ内の特定のメモリセルを、ダミーセルとして、リファレンス電位Vrefを生成するために使用している。例えば、1本のビット線に接続される複数のメモリセルのうちの特定の1つをダミーセルDUMMYとする。

【0276】ダミーセルDUMMYは、メモリセルMCと同様に、1つの磁気抵抗素子11と1つのMOSトランジスタ12とから構成される。ダミーライトワード線DWWL1, DWWL2, ...及びダミーリードワード線DRWL1, DRWL2, ...は、ロウ方向に延

35

びている。ビット線BL1, bBL1, BL2, bBL2, ...は、メモリセルMCとダミーセルDUMMYに共通に接続されている。

【0277】ダミーライトワード線DWWL1, DWWL2, ...は、メモリセルアレイ上においては接続点を持たず、ダミーセルDUMMY内の磁気抵抗素子11の近傍を通るように配置される。即ち、ライト時に、ダミーライトワード線DWWL1, DWWL2, ...及びビット線BL1, bBL1, BL2, bBL2, ...に流れる電流により作られる磁場を用いて、ダミーセルDUMMY内の磁気抵抗素子11の磁化の方向（平行、反平行）を変える。

【0278】ダミーリードワード線DRWL1, DRWL2, ...は、ダミーセルDUMMYを構成するMOSトランジスタ12のゲートに接続される。リード時には、選択されたダミーセルDUMMY内のMOSトランジスタ12をオン状態にし、選択されたダミーセルDUMMY内の磁気抵抗素子11に定電流を流して、その磁気抵抗素子11の状態に応じてビット線BL1, bBL1, BL2, bBL2, ...の電位を変化させる。

【0279】本実施の形態では、ビット線対BLi, bBLiの一方（BLi）に関し、奇数番目のビット線BL1, BL3, ...に接続されるダミーセルDUMMYには、“0”データが記憶され、偶数番目のビット線BL2, BL4, ...に接続されるダミーセルDUMMYには、“1”データが記憶される。

【0280】そして、奇数番目のビット線BL1, BL3, ...と偶数番目のビット線BL2, BL4, ...は、イコライズ回路（短絡用NチャネルMOSトランジスタ）24により互いに接続されている。具体的には、ビット線BL1とビット線BL2が短絡用PチャネルMOSトランジスタQP10を介して接続され、同様に、ビット線BL3とビット線BL4が短絡用PチャネルMOSトランジスタQP10を介して接続される。

【0281】短絡用PチャネルMOSトランジスタQP10のオン／オフは、制御信号EQL0により制御される。

【0282】また、ビット線対BLi, bBLiの他方（bBLi）に関し、奇数番目のビット線bBL1, bBL3, ...に接続されるダミーセルDUMMYには、“0”データが記憶され、偶数番目のビット線bBL2, bBL4, ...に接続されるダミーセルDUMMYには、“1”データが記憶される。

【0283】そして、奇数番目のビット線bBL1, bBL3, ...と偶数番目のビット線bBL2, bBL4, ...は、イコライズ回路（短絡用NチャネルMOSトランジスタ）24により互いに接続されている。具体的には、ビット線bBL1とビット線bBL2が短絡用PチャネルMOSトランジスタQP11を介して接続され、同様に、ビット線bBL3とビット線bBL4が

36

短絡用PチャネルMOSトランジスタQP11を介して接続される。

【0284】短絡用PチャネルMOSトランジスタQP11のオン／オフは、制御信号EQL1により制御される。

【0285】なお、ダミーセルDUMMYに記憶されるデータと互いに短絡するビット線との間の関係は、上述の例に限られず、種々の変更が可能である。

【0286】即ち、重要な点は、ビット線BLi同士又はビット線bBLi同士で短絡し、かつ、短絡される2×n（nは、自然数）本のビット線に接続される2×n個のダミーセルDUMMYのうちの半分が“0”を記憶し、残りの半分が“1”を記憶していることにある。

【0287】プリチャージ回路23は、スタンバイ状態において、全てのビット線BLi, bBLiをプリチャージ電位VPCにプリチャージしておく役割を果たす。プリチャージ電位VPCは、接地電位でも動作上は問題ないが、プリチャージ電位VPCが接地電位であると、高速データリードや低消費電力にとって不利となるため、適当な電位に設定することが望ましい。

【0288】即ち、プリチャージ電位VPCが接地電位であると、センス時、a. ビット線の電位が十分に上昇し、メモリセルに十分なバイアスが加わり、メモリセルからデータが出力されるまでに、長い時間がかかる、b. ビット線の電位の振幅が大きくなり、ビット線の充放電に際して無駄な電流を消費する、などの問題が生じる。

【0289】なお、プリチャージ電位VPCの値は、磁気抵抗素子の耐圧、磁気抵抗変化率MRのバイアス依存性、MOSトランジスタのオン抵抗などを考慮して、信頼性の許す範囲内で最大の信号が出力されるように決定される。

【0290】センスアンプ（S/A）24は、1組のビット線対BLi, bBLi（i=1, 2, ...）に対して1つだけ設けられる。

【0291】本実施の形態では、センスアンプ24は、メモリセルMCに定電流Isを流し、ビット線対BLi, bBLiに生じる電位差を検出する差動センス方式を前提としている。また、メモリセルアレイは、フォールドビット線（Folded Bit Line）方式を採用している。

【0292】但し、図11のメモリセルアレイ構成は、一例であり、本発明は、これ以外のメモリセルアレイ構成を有する磁気ランダムアクセスメモリにも適用できることは言うまでもない。

【0293】センスアンプ24は、選択されたメモリセルMCが接続されるビット線対BLi, bBLiの一方の電位と、ビット線対BLi, bBLiの他方の電位（リファレンス電位Vref）とを比較し、差動増幅する。

37

【0294】本実施の形態では、ビット線対BL_i, bBL_iとセンスアンプ(S/A)24の間に、NチャネルMOSトランジスタから構成される分離回路27が接続される。

【0295】分離回路27は、センスアンプノードN_i, bN_iがメモリセルMC又はダミーセルDUMMYのデータに応じた値に十分に变化した後、ビット線対BL_i, bBL_iをセンスアンプ24から電氣的に切り離し、増幅時に、ビット線対BL_i, bBL_iに生じる寄生容量をセンスアンプ24から切り離すなどの役割を果たす。

【0296】ビット線対BL_i, bBL_iとセンスアンプ24の間に分離回路27を接続した結果、上述の第1実施の形態とは異なり、プリチャージ回路23は、分離回路27よりもビット線対BL_i, bBL_i側に配置される。イコライズ回路26は、分離回路27よりもセンスアンプ24側に配置される。イコライズ回路26は、分離回路27によりビット線対BL_i, bBL_iとセンスアンプ24を電氣的に分離した後に、ビット線BL_iとビット線BL_i+1又はビット線bBL_iとビット線bBL_i+1を短絡し、中間電位V_{ref}を生成する。

【0297】なお、リード時には、リードワード線イネーブル信号RWLENが“H”レベルとなる。この時、NチャネルMOSトランジスタQN4がオン状態となり、NチャネルMOSトランジスタQN5がオフ状態となる。従って、バイアス電圧発生回路21の出力信号V_{bias}は、PチャネルMOSトランジスタQP2のゲートに伝達される。

【0298】従って、全てのビット線BL₁, bBL₁, BL₂, bBL₂, ...にセンス電流I_sが流れ、ビット線BL₁, bBL₁, BL₂, bBL₂, ...の電位は、選択されたメモリセルMCのデータ又は選択されたダミーセルDUMMYのデータに応じて変化する。

【0299】なお、ダミーセルDUMMYが接続されるビット線の電位は、この後、イコライズ回路26によりイコライズされるため、V_{ref} (= (V₀ + V₁) / 2) となる。

【0300】図16は、図15のバイアス電圧発生回路の一例を示している。

【0301】磁気抵抗素子R及びNチャネルMOSトランジスタQN3は、メモリセルMC内の磁気抵抗素子11及びNチャネルMOSトランジスタ12とレイアウトやサイズが同じものを使用する。

【0302】但し、第2発明の場合、磁気抵抗素子Rは、メモリセルMC内の磁気抵抗素子11と同じものを使用できれば一番よいが、バイアス電圧発生回路21の出力信号V_{bias}の精度は、あまり問題とならないため、他の素子で置き換えても構わない。

【0303】ゲートに差動アンプ25の出力信号V_bi

38

a_sが入力されるPチャネルMOSトランジスタQP1のサイズは、センス電流源22のPチャネルMOSトランジスタQP2, bQP2及びメモリセルMCのNチャネルMOSトランジスタ12のサイズと実質的に同じに設定される。

【0304】なお、バイアス電圧発生回路内のPチャネルMOSトランジスタQP1とセンス電流源22のPチャネルMOSトランジスタQP2, bQP2は、カレントミラー回路を構成している。

【0305】ところで、リード時、バイアス電圧発生回路21内の磁気抵抗素子Rにセンス電流I_sが流れると共に、ビット線BL_i, bBL_i (i=1, 2, ...)にもセンス電流I_sが流れる。この時、ビット線BL_i, bBL_iには、配線抵抗が存在するため、この配線抵抗による電位降下により、センスアンプノードN₁, bN₁, N₂, bN₂, ...の電位差は、選択されたメモリセルMCの位置によって異なるものとなる。

【0306】例えば、センスアンプ(S/A)24に最も近いメモリセルMCがアクセスされたときには、ビット線BL_i, bBL_iの配線抵抗の影響は、最も小さくなるが、センスアンプ(S/A)24に最も遠いメモリセルMCがアクセスされたときには、ビット線BL_i, bBL_iの配線抵抗の影響は、最も大きくなる。

【0307】このような選択されるメモリセルの位置、即ち、ビット線BL_i, bBL_iの配線抵抗によるセンスアンプノードN₁, bN₁, N₂, bN₂, ...の電位差の変化は、メモリセルMCのデータをセンスする際のノイズとなる。

【0308】このようなセンス時のノイズを低減するために、本発明では、PチャネルMOSトランジスタQP1と磁気抵抗素子Rの間に、ビット線BL_i, bBL_iの配線抵抗の半分の抵抗値を有する調整用抵抗rを接続している。この調整用抵抗rを作る一番簡単な方法は、ビット線BL_i, bBL_iと同じ配線層で、同じ断面積、半分の長さを有する配線を形成すればよい。

【0309】また、本実施の形態では、図15に示すように、ビット線対BL_i, bBL_iとセンスアンプ24の間に分離回路(NチャネルMOSトランジスタ)27が接続される。そこで、バイアス電圧発生回路21においても、PチャネルMOSトランジスタ(降圧トランジスタ)QP1と抵抗素子rの間に、分離回路27のNチャネルMOSトランジスタを模したPチャネルMOSトランジスタQP14が接続される。

【0310】なお、ロウアクセスがないとき、即ち、リードワード線RWL₁, RWL₂, ...が選択されていないときに、バイアス電流発生回路21に電流を流すことは、無駄な電流を消費することになり、低消費電流化に不都合である。

【0311】そこで、ロウアクセスが行われている期間だけ、バイアスイネーブル信号BIASENを“H”レ

10

20

30

40

50

39

ベル（例えば、選択されたリードワード線に与える電位と同じ電位）に設定し、それ以外の期間においては、バイアスイネーブル信号BIASENは、“L”レベル（例えば、接地電位）に設定する。

【0312】これにより、NチャネルMOSトランジスタQN3は、ロウアクセスが行われている期間だけ、オン状態となるため、バイアス発生回路における無駄な電流の垂れ流しを防止でき、低消費電流化に貢献することができる。

【0313】図17は、図15のセンスアンプの一例を示している。

【0314】このセンスアンプ24は、DRAMによく用いられるフリップフロップ型センスアンプである。センスアンプ24は、SAP（例えば、内部電源電位V_{dd}）とSAN（例えば、接地電位V_{ss}）により駆動される2つのCMOSインバータから構成される。

【0315】センスアンプ24は、ビット線対BL_i、bBL_iの間の電位差をセンスし、かつ、増幅する。即ち、選択されたメモリセルMCのデータは、センスアンプ24によりセンスされた後、データ線対（DQ線対）DQ、bDQに転送される。

【0316】なお、カラムの選択、即ち、センスアンプ24とデータ線対DQ、bDQの電氣的接続は、カラム選択信号CSLによりカラム選択スイッチ28のオン/オフを制御することにより行われる。

【0317】次に、上述した図15乃至図17の磁気ランダムアクセスメモリに関し、図18の波形図を参照しつつ、リード時のセンス動作について説明する。

【0318】なお、以下の説明では、簡単のため、リードワード線RWL1が選択され、メモリセルMCのデータがビット線BL1に読み出される場合を考える。

【0319】まず、センス動作開始前にビット線対BL_i、bBL_iに対するプリチャージ動作が実行される。プリチャージ動作時、プリチャージ信号PCは、“L”レベル（例えば、接地電位）に設定されるため、全てのビット線対BL_i、bBL_iは、VPCにプリチャージされる。

【0320】また、この時、制御信号ISOは、“H”レベル（例えば、内部電源電位V_{dd}）に設定され、ビット線対BL_i、bBL_iとセンスアンプ24は、互いに電氣的に接続された状態となっている。従って、センスアンプノードN_i、bN_iも、VPCにプリチャージされている。センスアンプ活性化信号SAP、SANについても、VPCにプリチャージされている。

【0321】この後、プリチャージ信号PCが“H”レベルに設定されると、ビット線対BL_i、bBL_iのプリチャージが解除される。

【0322】そして、リードワード線イネーブル信号RWLENが“H”レベルになると、リードワード線ドライバによりリードワード線RWL1が“H”レベルに設

40

定される。また、本実施の形態では、リードワード線RWL1が“H”レベルになると同時に、ダミーリードワード線DRWL2も“H”レベルに設定する。

【0323】これと同時に、図15のNチャネルMOSトランジスタQN4がオン状態となるため、バイアス電圧発生回路21から出力されるバイアス電位V_{bias}は、PチャネルMOSトランジスタQP2に伝達され、カレントミラーにより全てのビット線対BL1、bBL1、BL2、bBL2・・・にセンス電流I_sが流れる。

【0324】その結果、選択されたメモリセルMC又はダミーセルDUMMYに記憶されているデータが“0”のときには、ビット線BL1の電位は、プリチャージ電位VPCのままか、又は、図18に示すように、プリチャージ電位VPCから少しだけ上昇し、選択されたメモリセルMC又はダミーセルDUMMYに記憶されているデータが“1”のときには、ビット線BL1の電位は、プリチャージ電位VPCから大きく上昇する。

【0325】なお、ダミーセルDUMMYは、ビット線BL1、bBL1、BL2、bBL2、・・・の配線抵抗（又は電位降下）によるノイズを平均化ために、ビット線BL1、bBL1、BL2、bBL2、・・・の中央部に配置することが望ましい。

【0326】本実施の形態では、リードワード線RWL1及びダミーリードワード線DRWL2がそれぞれ選択されるため、ビット線BL1、BL2、・・・の電位は、メモリセルMCに記憶されたデータに応じた値に変化し、ビット線bBL1、bBL2、・・・の電位は、ダミーセルDUMMYに記憶されたデータに応じた値に変化する。

【0327】ここで、ビット線bBL1に接続されるダミーセルDUMMYには、“0”データが記憶され、ビット線bBL2に接続されるダミーセルDUMMYには、“1”データが記憶されている。

【0328】各ビット線BL1、bBL1、BL2、bBL2、・・・の電位がメモリセルMC又はダミーセルDUMMYに記憶されたデータに応じた値に十分に变化した後、リードワード線イネーブル信号RWLENが“H”レベルから“L”レベルに変化し、リードワード線RWL1及びダミーリードワード線DRWL2の電位も、“H”レベルから“L”レベルに変化する。

【0329】その結果、各ビット線BL1、bBL1、BL2、bBL2、・・・に流れていたセンス電流I_sは、停止し、各ビット線BL1、bBL1、BL2、bBL2、・・・及び各センスアンプノードN1、bN1、N2、bN2、・・・は、メモリセルMC又はダミーセルDUMMYに記憶されたデータに応じた値を保持したまま、フローティング状態となる。

【0330】この後、制御信号ISOを“L”レベルに変化させ、ビット線BL1、bBL1、BL2、bBL

10

20

30

40

50

2, ...とセンスアンプノードN1, bN1, N2, bN2, ...を互いに電氣的に分離する。

【0331】また、制御信号EQL1を“H”レベルに設定し、イコライズ回路26内のPチャネルMOSトランジスタQP11をオン状態にし、選択されたダミーセルDUMMYのデータが出力されたビット線bBL1, bBL2同士を互いに短絡する。その結果、2本のビット線bBL1, bBL2の間で、電荷共有が起こり、ビット線bBL1, bBL2の電位は、共に、リファレンス電位Vrefに最適な中間電位(= (V0+V1)/2)となる。

【0332】即ち、センスアンプノードbN1には、ダミーセルDUMMYに記憶された“0”データが出力され、V0となっており、センスアンプノードbN2には、ダミーセルDUMMYに記憶された“1”データが出力され、V1となっているため、制御信号EQL1を“H”レベルに設定することにより、センスアンプノードbN1, bN2の電位は、共に、中間電位Vref(= (V0+V1)/2)となる。

【0333】また、イコライズ回路26による電荷共有は、ビット線BL1, bBL1, BL2, bBL2, ...に流れるセンス電流Isを止め、センスアンプノードN1, bN1, N2, bN2, ...をフローティング状態にし、さらに、センスアンプノードN1, bN1, N2, bN2, ...をビット線BL1, bBL1, BL2, bBL2, ...から電氣的に切り離れた状態で行う。

【0334】つまり、イコライズ回路26による電荷共有は、データをセンスアンプノードN1, bN1, N2, bN2, ...に閉じ込めた状態で行うため、イコライズのタイミングによって、生成されるリファレンス電位Vrefがばらつくということがない。

【0335】また、センスアンプノードN1, bN1, N2, bN2, ...がビット線BL1, bBL1, BL2, bBL2, ...から電氣的に切り離された状態でイコライズを行うため、高速に、中間電位Vrefを生成することができる。

【0336】なお、本実施の形態では、プリチャージ回路23が分離回路23よりもビット線BLi, bBLi側に配置されている。このため、制御信号ISOを“L”レベルに設定し、センスアンプノードNi, bNiをビット線BLi, bBLiから切り離れた後は、次のリードサイクルに備えて、直ちに、ビット線BLi, bBLiのプリチャージを開始してもよい。

【0337】イコライズが十分に行われ、センスアンプノードbN1, bN2, ...においてリファレンス電位Vrefが生成された時点で、センスアンプ活性化信号SAPを“H”レベル(例えば、内部電源電位Vdd), センスアンプ活性化信号SANを“L”レベル(例えば、接地電位Vss)に設定し、センスアンプ2

4を動作させる。

【0338】この時、センスアンプノードNi, bN1は、ビット線BLi, bBLiから電氣的に切り離されているため、センスアンプ(S/A)24は、センスアンプノードNi, bN1の間の電位差を高速に増幅し、かつ、ラッチすることができる。

【0339】そして、データがセンスアンプ24にラッチされた後、カラム選択信号CSLを“H”レベルに設定すれば、センスアンプ24にラッチされたデータは、データ線対(DQ線対)DQ, bDQを経由して、出力回路に転送される。

【0340】最後に、制御信号ISOを、再び、“H”レベルに設定することにより、センスアンプノードNi, bNiとビット線対BLi, bBLiを電氣的に接続し、センスアンプノードNi, bNiをVPCにプリチャージし、次のリードサイクルに備える。

【0341】上述のセンス動作においては、DRAMで行われるようなリストア動作は、行われない。その理由は、磁気ランダムアクセスメモリ(MRAM)は、非破壊読み出しによりデータを読み出すことができるため、データを再びメモリセルに書き込む必要がないためである。従って、データリストアのために、ビット線対BL1, bBL1の電位をフルスイングさせる必要はない。

【0342】また、データセンス後、ビット線対BL1, bBL1の電位をフルスイングさせる必要がないため、ビット線対BL1, bBL1の充放電に要する電荷量が減り、低消費電力化に貢献できる。また、磁気抵抗素子(TMR素子)に高い電圧が加わることを防止できるため、磁気抵抗素子の信頼性を向上させることができる。

【0343】さらに、リストア動作が不要なため、メモリセルMCのデータがビット線BL1に十分に出力された後には、直ちに、選択されたリードワード線RWL1及び選択されたダミーリードワード線DRWL2のレベルを“H”から“L”に低下させることができる。

【0344】つまり、データリストアのために、リードワード線RWL1及びダミーリードワード線DRWL2の電位レベルを立ち上げておく必要がないため、データをビット線BL1, bBL1に出力した後、直ちに、リードワード線RWL1及びダミーリードワード線DRWL2の電位レベルを立ち下げて、ビット線BL1, bBL1に流れるセンス電流Isを止めれば、無駄な消費電をなくし、低消費電力化を実現できる。

【0345】また、分離回路27により、センスアンプノードNi, bNiをビット線BLi, bBLiから電氣的に切り離れた後に、センスアンプ24においてセンスアンプノードNi, bNiの間の電位差を増幅しているため、データリードの高速化を実現することができる。

【0346】このように、磁気ランダムアクセスメモリ

(MRAM)では、非破壊読み出しが行われるため、リストア動作が不要であり、ビット線対の電位をフルスイングさせる必要がなく、ビット線とセンスアンプを独立にプリチャージできる。従って、磁気ランダムアクセスメモリは、リードに関しては、DRAMに比べ、低消費電力で、高速なランダムアクセスを実現できる。

【0347】[第3実施の形態]本実施の形態に関わる磁気ランダムアクセスメモリ(MRAM)の特徴は、メモリセルが、磁気抵抗素子(例えば、TMR素子)とダイオードから構成される点にある。以下、本実施の形態に関わる磁気ランダムアクセスメモリについて詳細に説明する。

【0348】図19は、本発明の第3実施の形態に関わる磁気ランダムアクセスメモリの主要部を示している。

【0349】メモリセルMCは、1つの磁気抵抗素子11と1つのダイオード13とから構成される。ライトワード線WWL1, WWL2, ...及びリードワード線RWL1, RWL2, ...は、ロウ方向に延び、ビット線BL1, bBL1, BL2, bBL2, ...は、カラム方向に延びている。

【0350】ライトワード線WWL1, WWL2, ...は、メモリセルアレイ上においては接続点を持たず、磁気抵抗素子11の近傍を通るように配置される。即ち、ライト時に、ライトワード線WWL1, WWL2, ...及びビット線BL1, bBL1, BL2, bBL2, ...に流れる電流により作られる磁場を用いて、磁気抵抗素子11の磁化の方向(平行、反平行)を変える。

【0351】リードワード線RWL1, RWL2, ...は、メモリセルMCを構成するダイオード13のカソードに接続される。リード時には、選択されたメモリセルMC内のダイオード13を順方向にバイアスし、選択されたメモリセルMC内の磁気抵抗素子11に定電流を流して、磁気抵抗素子11の状態に応じてビット線BL1, bBL1, BL2, bBL2, ...の電位を変化させる。

【0352】本発明では、メモリセルアレイ内の特定のメモリセルを、ダミーセルとして、リファレンス電位Vrefを生成するために使用している。例えば、1本のビット線に接続される複数のメモリセルのうちの特定の1つをダミーセルDUMMYとする。

【0353】ダミーセルDUMMYは、メモリセルMCと同様に、1つの磁気抵抗素子11と1つのダイオード13とから構成される。ダミーライトワード線DWWL1, DWWL2, ...及びダミーリードワード線DRWL1, DRWL2, ...は、ロウ方向に延びている。ビット線BL1, bBL1, BL2, bBL2, ...は、メモリセルMCとダミーセルDUMMYに共通に接続されている。

【0354】ダミーライトワード線DWWL1, DWW

L2, ...は、メモリセルアレイ上においては接続点を持たず、ダミーセルDUMMY内の磁気抵抗素子11の近傍を通るように配置される。即ち、ライト時に、ダミーライトワード線DWWL1, DWWL2, ...及びビット線BL1, bBL1, BL2, bBL2, ...に流れる電流により作られる磁場を用いて、ダミーセルDUMMY内の磁気抵抗素子11の磁化の方向(平行、反平行)を変える。

【0355】ダミーリードワード線DRWL1, DRWL2, ...は、ダミーセルDUMMYを構成するダイオード13のカソードに接続される。リード時には、選択されたダミーセルDUMMY内のダイオード13を順方向にバイアスし、選択されたダミーセルDUMMY内の磁気抵抗素子11に定電流を流して、その磁気抵抗素子11の状態に応じてビット線BL1, bBL1, BL2, bBL2, ...の電位を変化させる。

【0356】本実施の形態では、ビット線対BLi, bBLiの一方(BLi)に関し、奇数番目のビット線BL1, BL3, ...に接続されるダミーセルDUMMYには、“0”ーデータが記憶され、偶数番目のビット線BL2, BL4, ...に接続されるダミーセルDUMMYには、“1”ーデータが記憶される。

【0357】そして、奇数番目のビット線BL1, BL3, ...と偶数番目のビット線BL2, BL4, ...は、イコライズ回路(短絡用NチャネルMOSトランジスタ)24により互いに接続されている。具体的には、ビット線BL1とビット線BL2が短絡用PチャネルMOSトランジスタQP10を介して接続され、同様に、ビット線BL3とビット線BL4が短絡用PチャネルMOSトランジスタQP10を介して接続される。

【0358】短絡用PチャネルMOSトランジスタQP10のオン/オフは、制御信号EQL0により制御される。

【0359】また、ビット線対BLi, bBLiの他方(bBLi)に関し、奇数番目のビット線bBL1, bBL3, ...に接続されるダミーセルDUMMYには、“0”ーデータが記憶され、偶数番目のビット線bBL2, bBL4, ...に接続されるダミーセルDUMMYには、“1”ーデータが記憶される。

【0360】そして、奇数番目のビット線bBL1, bBL3, ...と偶数番目のビット線bBL2, bBL4, ...は、イコライズ回路(短絡用NチャネルMOSトランジスタ)24により互いに接続されている。具体的には、ビット線bBL1とビット線bBL2が短絡用PチャネルMOSトランジスタQP11を介して接続され、同様に、ビット線bBL3とビット線bBL4が短絡用PチャネルMOSトランジスタQP11を介して接続される。

【0361】短絡用PチャネルMOSトランジスタQP11のオン/オフは、制御信号EQL1により制御され

る。

【0362】なお、ダミーセルDUMMYに記憶されるデータと互いに短絡するビット線との間の関係は、上述の例に限られず、種々の変更が可能である。

【0363】即ち、重要な点は、ビット線BL_i同士又はビット線bBL_i同士で短絡し、かつ、短絡される2×n (nは、自然数)本のビット線に接続される2×n個のダミーセルDUMMYのうちの半分が“0”を記憶し、残りの半分が“1”を記憶していることにある。

【0364】プリチャージ回路23は、スタンバイ状態において、全てのビット線BL_i、bBL_iをプリチャージ電位V_{PC}にプリチャージしておく役割を果たす。プリチャージ電位V_{PC}は、接地電位でも動作上は問題ないが、プリチャージ電位V_{PC}が接地電位であると、高速データリードや低消費電力にとって不利となるため、適当な電位に設定することが望ましい。

【0365】即ち、プリチャージ電位V_{PC}が接地電位であると、センス時、a. ビット線の電位が十分に上昇し、メモリセルに十分なバイアスが加わり、メモリセルからデータが出力されるまでに、長い時間がかかる、b. ビット線の電位の振幅が大きくなり、ビット線の充放電に際して無駄な電流を消費する、などの問題が生じる。

【0366】なお、プリチャージ電位V_{PC}の値は、磁気抵抗素子の耐圧、磁気抵抗変化率MRのバイアス依存性、MOSトランジスタのオン抵抗などを考慮して、信頼性の許す範囲内で最大の信号が出力されるように決定される。

【0367】センスアンプ(S/A)24は、1組のビット線対BL_i、bBL_i (i=1, 2, ...) に対して1つだけ設けられる。

【0368】本実施の形態では、センスアンプ24は、メモリセルMCに定電流I_sを流し、ビット線対BL_i、bBL_iに生じる電位差を検出する差動センス方式を前提としている。また、メモリセルアレイは、フォールドビット線(Folded Bit Line)方式を採用している。

【0369】但し、図19のメモリセルアレイ構成は、一例であり、本発明は、これ以外のメモリセルアレイ構成を有する磁気ランダムアクセスメモリにも適用できることは言うまでもない。

【0370】センスアンプ24は、選択されたメモリセルMCが接続されるビット線対BL_i、bBL_iの一方の電位と、ビット線対BL_i、bBL_iの他方の電位(リファレンス電位V_{ref})とを比較し、差動増幅する。

【0371】リード時には、リードワード線イネーブル信号RWLENが“H”レベルとなる。この時、NチャネルMOSトランジスタQN4がオン状態となり、NチャネルMOSトランジスタQN5がオフ状態となる。従

って、バイアス電圧発生回路21の出力信号V_{bias}は、PチャネルMOSトランジスタQP2のゲートに伝達される。

【0372】従って、全てのビット線BL₁、bBL₁、BL₂、bBL₂、...にセンス電流I_sが流れ、ビット線BL₁、bBL₁、BL₂、bBL₂、...の電位は、選択されたメモリセルMCのデータ又は選択されたダミーセルDUMMYのデータに応じて変化する。

【0373】なお、ダミーセルDUMMYが接続されるビット線の電位は、この後、イコライズ回路26によりイコライズされるため、V_{ref} (= (V₀ + V₁) / 2) となる。

【0374】図20は、図19のバイアス電圧発生回路の一例を示している。

【0375】磁気抵抗素子R及びダイオード14は、メモリセルMC内又はダミーセルDUMMY内の磁気抵抗素子11及びダイオード13とレイアウトやサイズが同じものを使用する。

【0376】但し、第2発明の場合、磁気抵抗素子Rは、メモリセルMC内の磁気抵抗素子11と同じものを使用できれば一番よいが、バイアス電圧発生回路21の出力信号V_{bias}の精度は、あまり問題とならないため、他の素子で置き換えても構わない。

【0377】ゲートに差動アンプ25の出力信号V_{bias}が入力されるPチャネルMOSトランジスタQP1のサイズは、センス電流源22のPチャネルMOSトランジスタQP2、bQP2及びメモリセルMCのNチャネルMOSトランジスタ12のサイズと実質的に同じに設定される。

【0378】なお、バイアス電圧発生回路21内のPチャネルMOSトランジスタQP1とセンス電流源22のPチャネルMOSトランジスタQP2、bQP2は、カレントミラー回路を構成している。

【0379】ところで、リード時、バイアス電圧発生回路21内の磁気抵抗素子Rにセンス電流I_sが流れると共に、ビット線BL_i、bBL_i (i=1, 2, ...) にもセンス電流I_sが流れる。この時、ビット線BL_i、bBL_iには、配線抵抗が存在するため、この配線抵抗による電位降下により、センスアンプノードN₁、bN₁、N₂、bN₂、...の電位差は、選択されたメモリセルMCの位置によって異なるものとなる。

【0380】例えば、センスアンプ(S/A)24に最も近いメモリセルMCがアクセスされたときには、ビット線BL_i、bBL_iの配線抵抗の影響は、最も小さくなるが、センスアンプ(S/A)24に最も遠いメモリセルMCがアクセスされたときには、ビット線BL_i、bBL_iの配線抵抗の影響は、最も大きくなる。

【0381】このような選択されるメモリセルの位置、即ち、ビット線BL_i、bBL_iの配線抵抗によるセン

47

スアンプノードN1, bN1, N2, bN2, ...の電位差の変化は、メモリセルMCのデータをセンスする際のノイズとなる。

【0382】このようなセンス時のノイズを低減するために、本発明では、図20に示すように、PチャネルMOSトランジスタQP1と磁気抵抗素子Rの間に、ビット線BLi, bBLiの配線抵抗の半分の抵抗値を有する調整用抵抗rを接続している。この調整用抵抗rを作る一番簡単な方法は、ビット線BLi, bBLiと同じ配線層で、同じ断面積、半分の長さを有する配線を形成すればよい。

【0383】なお、ロウアクセスがないとき、即ち、リードワード線RWL1, RWL2, ...が選択されていないときに、バイアス電流発生回路21に電流を流すことは、無駄な電流を消費することになり、低消費電流化に不都合である。

【0384】そこで、ロウアクセスが行われている期間だけ、バイアスイネーブル信号BIASENを“H”レベル（例えば、選択されたリードワード線に与える電位と同じ電位）に設定し、それ以外の期間においては、バイアスイネーブル信号BIASENは、“L”レベル（例えば、接地電位）に設定する。

【0385】これにより、NチャネルMOSトランジスタQN3は、ロウアクセスが行われている期間だけ、オン状態となるため、バイアス発生回路における無駄な電流の垂れ流しを防止でき、低消費電流化に貢献することができる。

【0386】なお、NチャネルMOSトランジスタQN3のソースには、VWL（リードワード線及びダミーリードワード線に与える“L”レベルの電位）が印加されている。NチャネルMOSトランジスタQN3は、リードワード線RWLi及びダミーリードワード線DRWLiにVWLを与えるMOSトランジスタと同じレイアウト及び同じサイズに設定される。

【0387】また、PチャネルMOSトランジスタQP1とNチャネルMOSトランジスタQN3の間には、ビット線の配線抵抗を模した抵抗rと同様に、ワード線の配線抵抗を模した抵抗を接続してもよい。

【0388】次に、上述した図19乃至図20の磁気ランダムアクセスメモリに関し、図21の波形図を参照しつつ、リード時のセンス動作について説明する。

【0389】なお、以下の説明では、簡単のため、リードワード線RWL1が選択され、メモリセルMCのデータがビット線BL1に読み出される場合を考える。

【0390】まず、センス動作開始前にビット線対BLi, bBLiに対するプリチャージ動作が実行される。プリチャージ動作時、プリチャージ信号PCは、“L”レベル（例えば、接地電位）に設定されるため、全てのビット線対BLi, bBLiは、VPCにプリチャージされる。

48

【0391】この時、リードワード線RWL1及びダミーリードワード線DRWL2は、“H”レベル、即ち、VWLHに設定されている。VWLHは、Vrefよりも高い電位であるため、メモリセルMC内及びダミーセルDUMMY内のダイオード13は、それぞれ逆バイアス状態となっている。従って、理想的には、メモリセルMC及びダミーセルDUMMYには、電流が流れない。

【0392】この後、プリチャージ信号PCが“H”レベル（例えば、内部電源電位）に設定されると、ビット線対BLi, bBLiのプリチャージが解除される。

【0393】そして、リードワード線イネーブル信号RWLENが“H”レベルになると、リードワード線ドライバにより、選択されたリードワード線RWL1及び選択されたダミーリードワード線DRWL2がそれぞれ“H”レベルから“L”レベル、即ち、VWLHからVWLLに変化する。

【0394】従って、選択されたリードワード線RWL1に接続されるメモリセルMC内のダイオード13及び選択されたダミーリードワード線DRWL2に接続されるダミーセルDUMMY内のダイオード13は、それぞれ順方向にバイアスされる。

【0395】なお、VWLHが“0”リード時のビット線電位よりも低ければ、非選択のメモリセルMC内又は非選択のダミーセルDUMMY内のダイオード13は、逆バイアス状態のままであるため、メモリセルMC及びダミーセルDUMMYに電流が流れることはない。

【0396】これと同時に、図19のNチャネルMOSトランジスタQN4がオン状態となるため、バイアス電圧発生回路21から出力されるバイアス電位Vbiasは、PチャネルMOSトランジスタQP2に伝達され、カレントミラーにより全てのビット線対BL1, bBL1, BL2, bBL2...にセンス電流Isが流れる。

【0397】その結果、選択されたメモリセルMC又はダミーセルDUMMYに記憶されているデータが“0”のときには、ビット線BL1の電位は、プリチャージ電位VPCのままか、又は、図21に示すように、プリチャージ電位VPCから少しだけ上昇し、選択されたメモリセルMC又はダミーセルDUMMYに記憶されているデータが“1”のときには、ビット線BL1の電位は、プリチャージ電位VPCから大きく上昇する。

【0398】なお、ダミーセルDUMMYは、ビット線BL1, bBL1, BL2, bBL2, ...の配線抵抗（又は電位降下）によるノイズを平均化ために、ビット線BL1, bBL1, BL2, bBL2, ...の中央部に配置することが望ましい。

【0399】本実施の形態では、リードワード線RWL1及びダミーリードワード線DRWL2がそれぞれ選択されるため、ビット線BL1, BL2, ...の電位は、メモリセルMCに記憶されたデータに応じた値に変

49

化し、ビット線 $bBL1$, $bBL2$, ... の電位は、ダミーセル DUMMY に記憶されたデータに応じた値に変化する。

【0400】ここで、ビット線 $bBL1$ に接続されるダミーセル DUMMY には、“0”-データが記憶され、ビット線 $bBL2$ に接続されるダミーセル DUMMY には、“1”-データが記憶されている。

【0401】各ビット線 $BL1$, $bBL1$, $BL2$, $bBL2$, ... の電位がメモリセル MC 又はダミーセル DUMMY に記憶されたデータに応じた値に十分に变化した後、リードワード線イネーブル信号 $RWLEN$ が “H” レベルから “L” レベルに変化し、リードワード線 $RWL1$ 及びダミーリードワード線 $DRWL2$ の電位が、 $VWLH$ から VWL に変化する。

【0402】その結果、各ビット線 $BL1$, $bBL1$, $BL2$, $bBL2$, ... に流れていたセンス電流 I_s は、停止し、各ビット線 $BL1$, $bBL1$, $BL2$, $bBL2$, ... は、メモリセル MC 又はダミーセル DUMMY に記憶されたデータに応じた値を保持したまま、フローティング状態となる。

【0403】この後、制御信号 $EQ L1$ を “H” レベルに設定し、イコライズ回路 26 内の P チャンネル MOS トランジスタ $QP11$ をオン状態にし、選択されたダミーセル DUMMY のデータが出力されたビット線 $bBL1$, $bBL2$ 同士を互いに短絡する。その結果、2 本のビット線 $bBL1$, $bBL2$ の間で、電荷共有が起こり、ビット線 $bBL1$, $bBL2$ の電位は、共に、リファレンス電位に最適な中間電位 ($= (V0 + V1) / 2$) となる。

【0404】即ち、ビット線 $bBL1$ には、ダミーセル DUMMY に記憶された “0”-データが出力され、 $V0$ となっており、ビット線 $bBL2$ には、ダミーセル DUMMY に記憶された “1”-データが出力され、 $V1$ となっているため、制御信号 $EQ L1$ を “H” レベルに設定することにより、ビット線 $bBL1$, $bBL2$ の電位は、共に、中間電位 ($= (V0 + V1) / 2$) となる。

【0405】なお、イコライズ回路 26 による電荷共有は、ビット線 $BL1$, $bBL1$, $BL2$, $bBL2$, ... に流れるセンス電流 I_s を止め、かつ、ビット線 $BL1$, $bBL1$, $BL2$, $bBL2$, ... をフローティング状態にして、データをビット線 $BL1$, $bBL1$, $BL2$, $bBL2$, ... に閉じ込めた状態で行うため、イコライズのタイミングによって、生成されるリファレンス電位 V_{ref} がばらつくということがない。

【0406】ビット線 $bBL1$, $bBL2$, ... においてリファレンス電位 V_{ref} が生成された後は、カラム選択信号 CSL を “H” レベルに設定すれば、ビット線対 $BL1$, $bBL1$ の電位差は、例えば、ダイレクトセンス方式のセンスアンプ 24 を経由して、データ線対

50

(DQ 線対) DQ , bDQ に流れる電流差として、データ線対 DQ , bDQ に転送される。

【0407】なお、ダイレクトセンス方式のセンスアンプを採用する場合、データ線対 DQ , bDQ には、データ線対 DQ , bDQ の電流差を直接センスするか、又は、この電流差を再び電位差に変換し、電圧センスする回路を接続する必要となる。

【0408】最後に、プリチャージ信号 PC を、再び、“L” レベルに設定し、全てのビット線 $BL1$, $bBL1$, $BL2$, $bBL2$, ... をプリチャージ電位 VPC にし、次のリードサイクルに備える。

【0409】上述のセンス動作においては、DRAM で行われるようなリストア動作は、行われない。その理由は、磁気ランダムアクセスメモリ (MRAM) は、非破壊読み出しによりデータを読み出すことができるため、データを再びメモリセルに書き込む必要がないためである。従って、データリストアのために、ビット線対 $BL1$, $bBL1$ の電位をフルスイングさせる必要はない。

【0410】また、データセンス後、ビット線対 $BL1$, $bBL1$ の電位をフルスイングさせる必要がないため、ビット線対 $BL1$, $bBL1$ の充放電に要する電荷量が減り、低消費電力化に貢献できる。また、磁気抵抗素子 (TMR 素子) に高い電圧が加わることを防止できるため、磁気抵抗素子の信頼性を向上させることができる。

【0411】さらに、リストア動作が不要なため、メモリセル MC のデータがビット線 $BL1$ に十分に出力された後は、直ちに、選択されたリードワード線 $RWL1$ 及び選択されたダミーリードワード線 $DRWL2$ のレベルを “H” から “L” に低下させることができる。

【0412】つまり、データリストアのために、リードワード線 $RWL1$ 及びダミーリードワード線 $DRWL2$ の電位レベルを立ち上げておく必要がないため、データをビット線 $BL1$, $bBL1$ に出力した後、直ちに、リードワード線 $RWL1$ 及びダミーリードワード線 $DRWL2$ の電位レベルを立ち下げて、ビット線 $BL1$, $bBL1$ に流れるセンス電流 I_s を止めれば、無駄な消費電をなくし、低消費電力化を実現できる。

【0413】このように、磁気ランダムアクセスメモリ (MRAM) では、非破壊読み出しが行われるため、リストア動作が不要であり、ビット線対の電位をフルスイングさせる必要がなく、ビット線とセンスアンプを独立にプリチャージできる。従って、磁気ランダムアクセスメモリは、リードに関しては、DRAM に比べ、低消費電力で、高速なランダムアクセスを実現できる。

【0414】[まとめ] 本発明によれば、メモリセルアレイ内の特定のメモリセル (ダミーセル) であって、“0”-データを記憶するメモリセルと “1”-データを記憶するメモリセルに、それぞれセンス電流を流し、かつ、これにより生成される電位 $V0$, $V1$ を合成し、

51

リファレンス電位 V_{ref} に最も適した中間電位 ($V_0 + V_1$) / 2 を得ている。

【0415】従って、センス動作を正確に行うことができ、信頼性の向上に貢献することができる。また、DRAMと同様の動作により、リード動作を行うことができるため、DRAMの置き替え用途としてMRAMを開発する場合に、DRAMとの互換性を高くすることができる。

【0416】

【発明の効果】以上、説明したように、本発明の磁気ランダムアクセスメモリによれば、1つの磁気抵抗素子（例えば、TMR素子）と1つのスイッチ素子（MOSトランジスタ、ダイオードを含む）からなる1つのメモリセルにより1ビットデータを記憶する場合に、センス時に必要なリファレンス電位を生成し、かつ、このリファレンス電位を用いてセンス動作を確実に行うことができる。

【図面の簡単な説明】

【図1】本願の第1発明の第1実施の形態であるMRAMの主要部を示す回路図。

【図2】バイアス電圧発生回路内のリファレンスセルを示す図。

【図3】バイアス電圧発生回路の一例を示す回路図。

【図4】センスアンプの一例を示す回路図。

【図5】図1乃至図4の要素を備えるMRAMのセンス動作を示す波形図。

【図6】本願の第1発明の第2実施の形態であるMRAMのセンスアンプについて示す回路図。

【図7】図1乃至図3及び図6の要素を備えるMRAMのセンス動作を示す波形図。

【図8】本願の第1発明の第3実施の形態であるMRAMの主要部を示す回路図。

【図9】バイアス電圧発生回路の一例を示す回路図。

【図10】図2、図4、図8及び図9の要素を備えるMRAMのセンス動作を示す波形図。

【図11】本願の第2発明の第1実施の形態であるMRAMの主要部を示す回路図。

【図12】バイアス電圧発生回路の一例を示す回路図。

【図13】センスアンプの一例を示す回路図。

10

AMの主要部を示す回路図。

【図20】バイアス電圧発生回路の一例を示す回路図。

【図21】図13、図19乃至図20の要素を備えるMRAMのセンス動作を示す波形図。

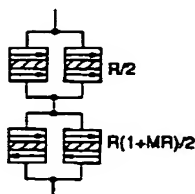
【図22】MRAMのメモリセルアレイの一例を示す回路図。

【図23】MRAMのメモリセルアレイの他の例を示す回路図。

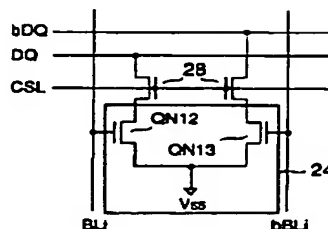
【符号の説明】

| | |
|----------------|------------------|
| 11 | ：磁気抵抗素子、 |
| 12 | ：MOSトランジスタ、 |
| 13、14 | ：ダイオード、 |
| 21 | ：バイアス電圧発生回路、 |
| 22 | ：センス電流源、 |
| 23 | ：プリチャージ回路、 |
| 24 | ：センスアンプ、 |
| 25 | ：差動アンプ、 |
| 26 | ：イコライズ回路、 |
| 27 | ：分離回路、 |
| 28 | ：カラム選択スイッチ、 |
| QP1, QP2, bQP2 | ：PチャネルMOSトランジスタ、 |
| QN3~QN14 | ：NチャネルMOSトランジスタ、 |
| r | ：調整用抵抗、 |
| R | ：磁気抵抗素子、 |
| Rref | ：リファレンスセル。 |

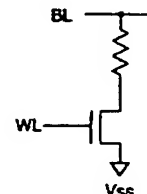
【図2】



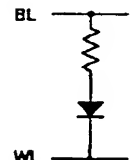
【図13】



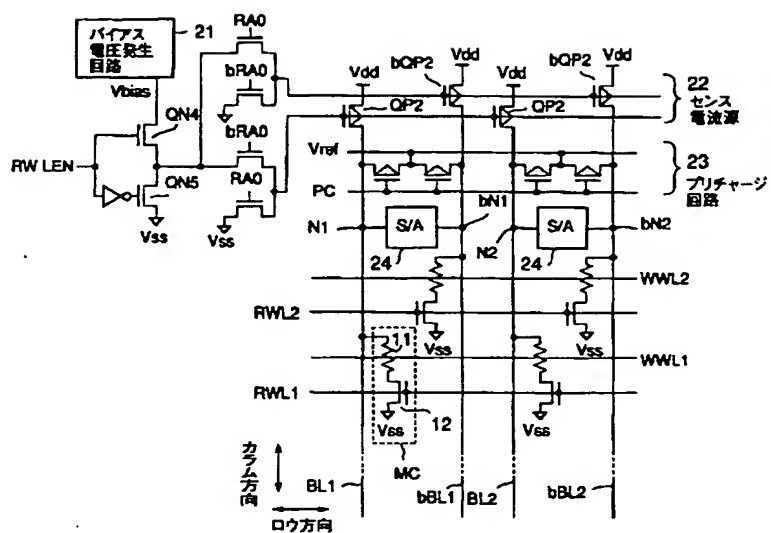
【図22】



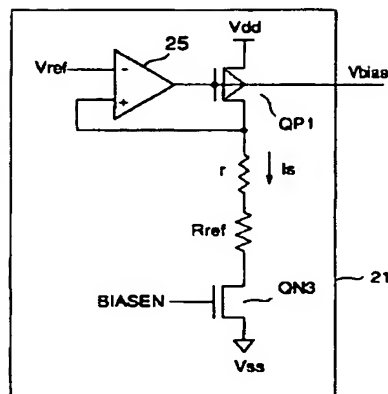
【図23】



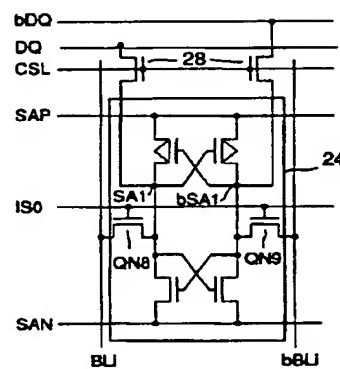
【図 1】



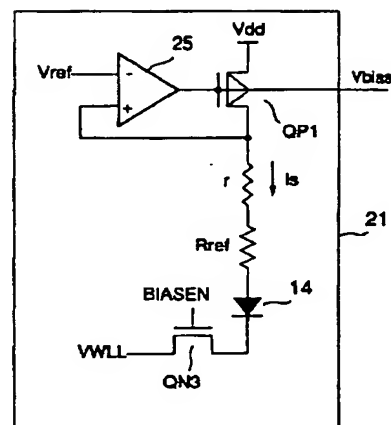
【図 3】



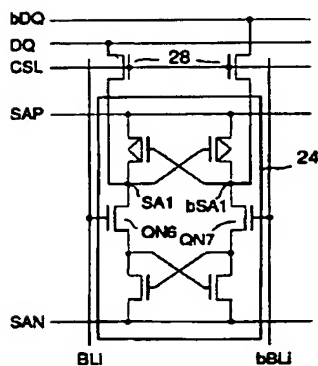
【図 6】



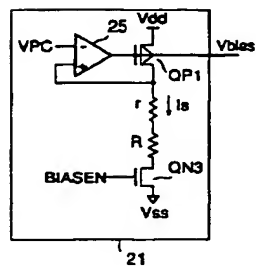
【図 9】



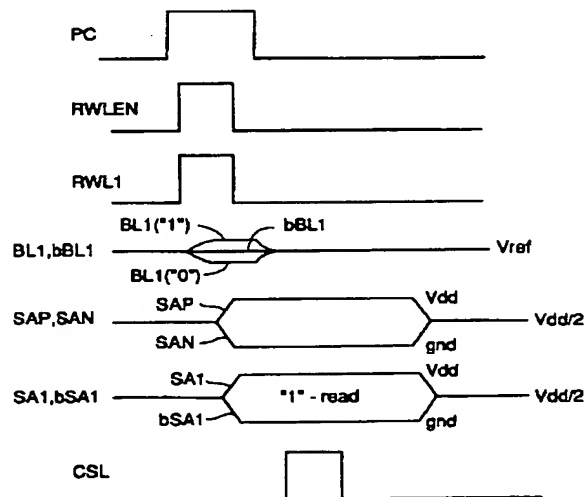
【図 4】



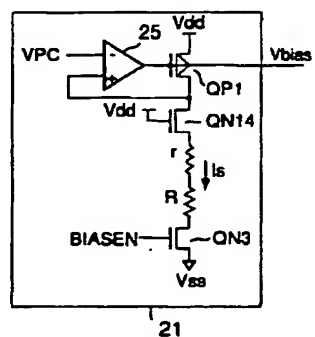
【図 12】



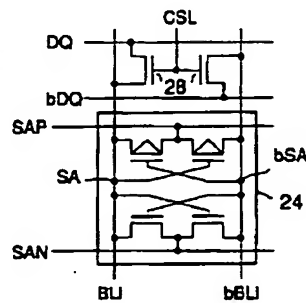
【図 5】



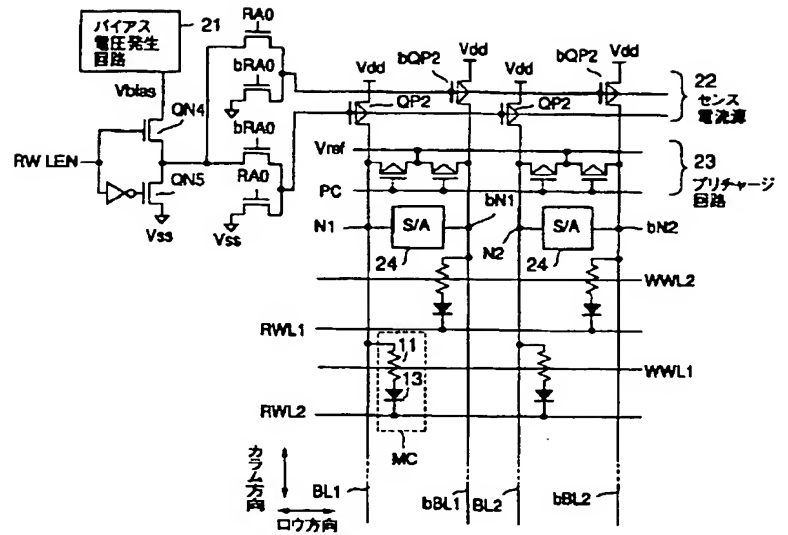
【図 16】



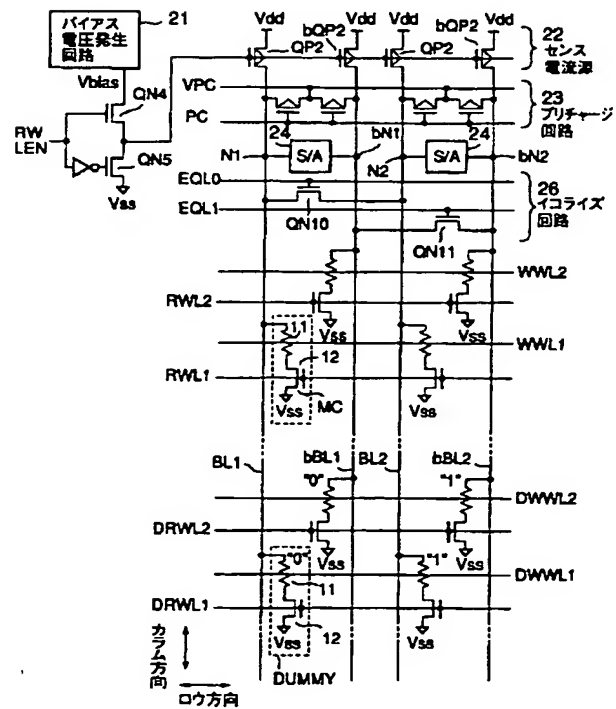
【図 17】



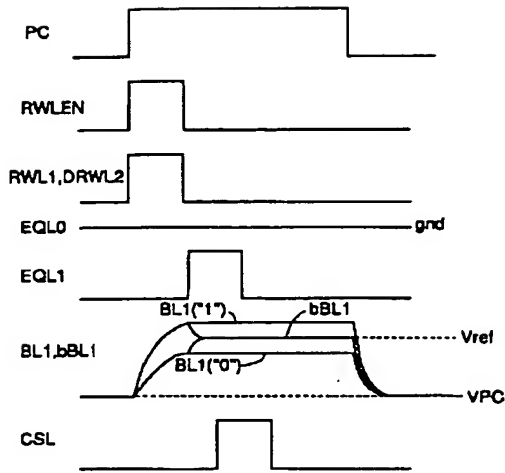
【圖 8】



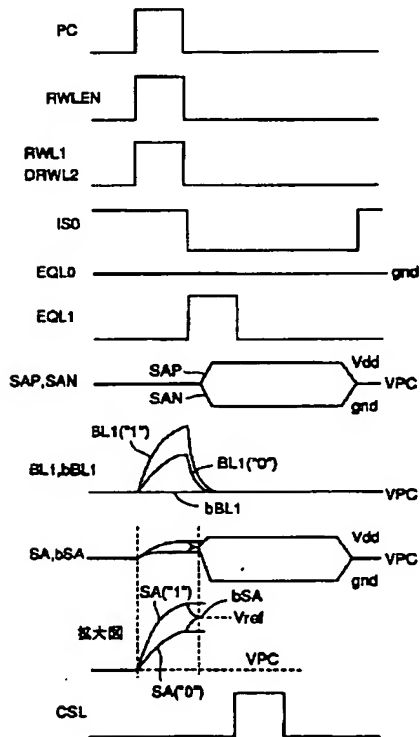
【図 10】



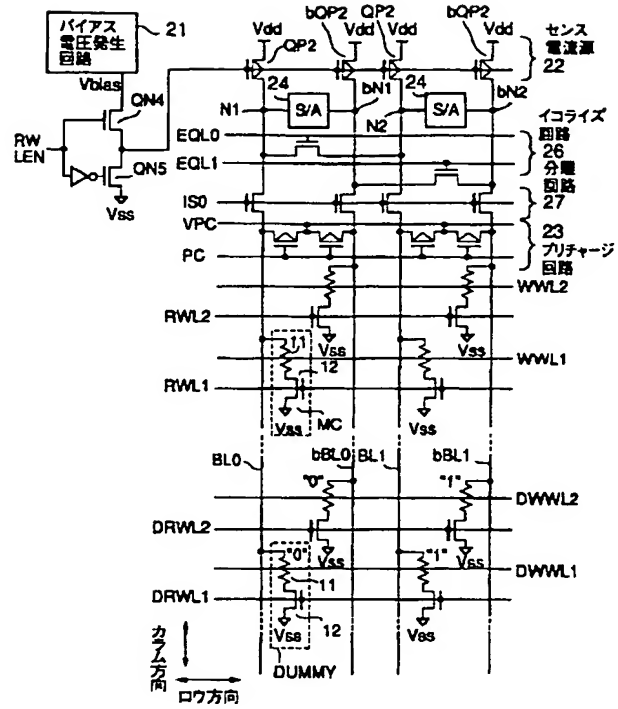
【図14】



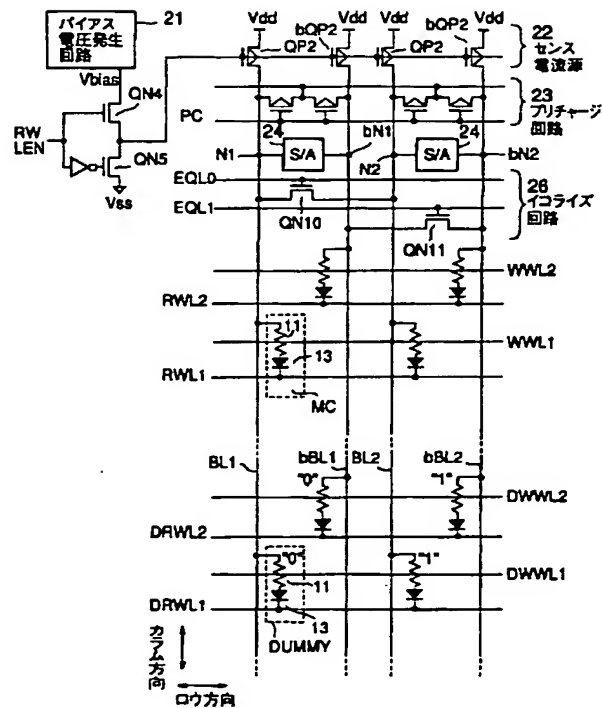
【図18】



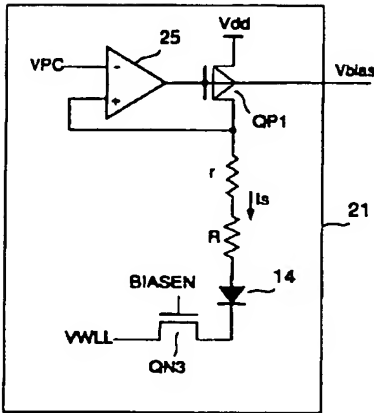
【図15】



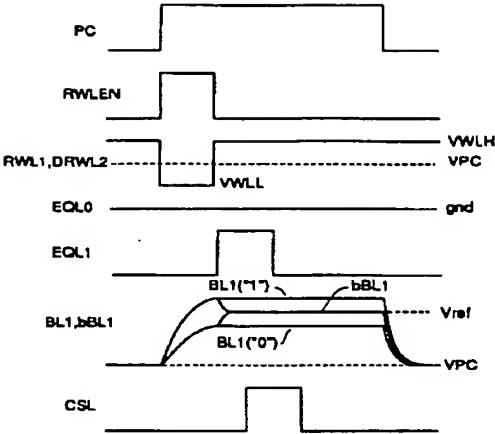
【図19】



【図 2 0】



【図 2 1】



フロントページの続き

(51)Int.Cl. 7
H 0 1 L 43/08

識別記号

F I
H 0 1 L 27/10

テーマコード* (参考)

4 4 7